

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-233347

(43)Date of publication of application : 22.08.2003

(51)Int.Cl.

G09G 3/30

G09G 3/20

(21)Application number : 2002-224812

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 01.08.2002

(72)Inventor : KASAI TOSHIYUKI

(30)Priority

Priority number : 2001235394

Priority date : 02.08.2001

Priority country : JP

2001372996

06.12.2001

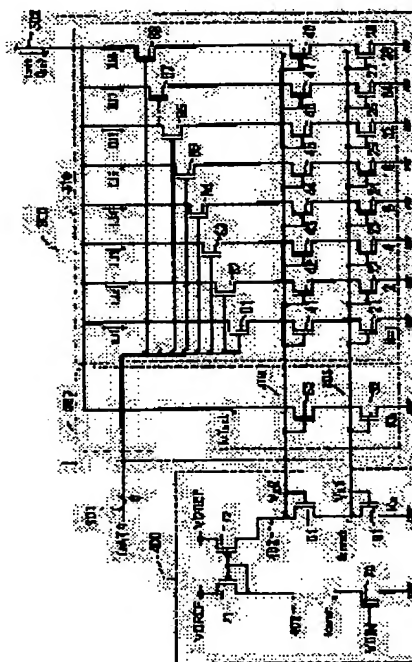
JP

(54) SUPPLY OF PROGRAMMING CURRENT TO PIXELS

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a technique capable of easily setting a range of a programming current value.

SOLUTION: A data line driving circuit is provided with a single line driver 300 and a gate voltage generation circuit 400. The single line driver 300 is constituted of N sets (N is an integer of two or larger) of the series connections of driving transistors 1-28 and switching transistors 81-88 connected in parallel. The gate voltage generation circuit 400 comprises two transistors 71, 72 constituting a current mirror circuit part, a driving transistor 73, and a constant voltage generating transistor 31. The range of an output current Iout can be adjusted by changing the design values of various parameters (relative values Ka, Kb of gain coefficients of the transistors 31, 32, power source voltage VDREF of the gate voltage generation circuit 400, and the gate signal VRIN of the driving transistor 73).



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

THIS PAGE BLANK (USPTO)

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

(11)特許出願公開番号

特開2003-233347

(P2003-233347A)

(43)公開日 平成15年8月22日(2003.8.22)

(51) Int.Cl.⁷

G O 9 G 3/30

識別記号

3/20

6 1 2

6 2 3

F I

G O 9 G 3/30

3/20

テーマコード* (参考)

J 5C080

K

6 1 2 J

6 2 3 B

623R

審査請求 未請求 請求項の数33 OL (全 15 頁) 最終頁に続く

(21)出願番号 特願2002-224812(P2002-224812)

(22) 出願日 平成14年8月1日(2002. 8. 1)

(31)優先権主張番号 特願2001-235394(P2001-235394)

(32) 優先日 平成13年8月2日(2001.8.2)

(33)優先権主張国 日本 (J P)

(31)優先權主張番号 特願2001-372996(P2001-372996)

(32)優先日 平成13年12月6日(2001.12.6)

(33)優先権主張国 日本(JP)

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 發明者 河西 利幸

長野県諏訪市大和三丁目3番5号 セイコ

一エプソン株式会社内

(74) 代理人 110000028

特許業務法人明成国際特許事務所

Fターム(参考) 5C080 AA08 BB05 DD03 EE29 FF11

FF12 GG12 JJ02 JJ03 JJ04

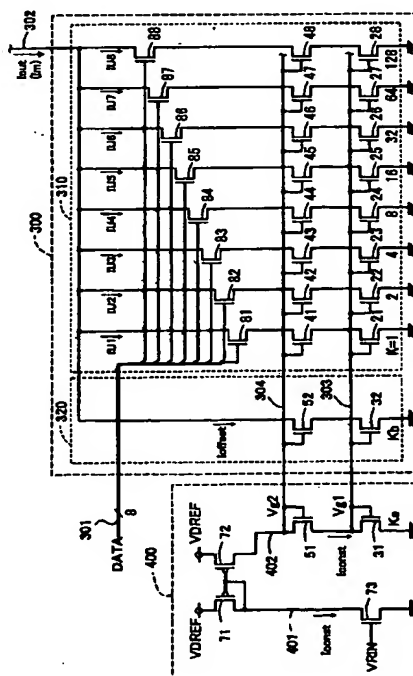
JJ05

(54) 【発明の名称】 画素へのプログラミング電流の供給

(57) 【要約】

【課題】 プログラム電流の電流値の範囲を容易に設定することのできる技術を提供する。

【解決手段】 データ線駆動回路は、単一ラインドライバ300と、ゲート電圧生成回路400とを備えている。単一ラインドライバ300は、駆動トランジスタ21~28と、スイッチングトランジスタ81~88との直列接続が、N組(Nは2以上の整数)互いに並列に接続された構成を有している。ゲート電圧生成回路400は、カレントミラー回路部を構成する2つのトランジスタ71、72と、駆動トランジスタ73と、定電圧発生用トランジスタ31とを含んでいる。各種のパラメータ(トランジスタ31、32の利得係数の相対値 K_a 、 K_b 、ゲート電圧生成回路400の電源電圧 V_{DREF} 、駆動トランジスタ73のゲート信号 V_{RIN})の設計値を変更することによって、出力電流 I_{out} の範囲を調整できる。



THIS PAGE BLANK (USPTO)

【特許請求の範囲】

【請求項 1】 電気光学装置であって、

発光素子を含む画素がマトリクス状に配列された画素マトリクスと、

前記画素マトリクスの行方向に沿って配列された画素群にそれぞれ接続された複数の走査線と、

前記画素マトリクスの列方向に沿って配列された画素群にそれぞれ接続された複数のデータ線と、

前記複数の走査線に接続され、前記画素マトリクスの 1 つの行を選択するための走査線駆動回路と、

前記発光素子の発光の階調に応じた電流値を有するデータ信号を生成して、前記複数のデータ線のうちの少なくとも 1 つのデータ線に出力することが可能なデータ線駆動回路と、を備え、

前記データ線駆動回路は、

所定の電流を発生させるための第 1 の駆動トランジスタと、外部回路から与えられる制御信号に応じてオン／オフ制御される第 1 のスイッチングトランジスタとの直列接続が、N 組 (N は 2 以上の整数) 互いに並列に接続された構成を有する電流加算型の電流生成回路と、所定の信号レベルを有する制御電極信号を生成して N 個の前記第 1 の駆動トランジスタの制御電極に共通に供給する制御電極信号生成回路と、を備える電気光学装置。

【請求項 2】 請求項 1 記載の電気光学装置であって、前記制御電極信号生成回路は、

第 1 の制御電極を有し、前記制御電極信号を前記第 1 の制御電極から発生するための制御電極信号発生用トランジスタと、

前記制御電極信号発生用トランジスタに一定の電流を流す定電流回路と、を有しており、

前記制御電極信号発生用トランジスタの前記第 1 の制御電極と前記電流生成回路の前記 N 個の第 1 の駆動トランジスタの制御電極とが互いに接続されている、電気光学装置。

【請求項 3】 請求項 2 記載の電気光学装置であって、前記定電流回路は、

第 1 と第 2 の配線にそれぞれ接続された 2 つのトランジスタを有し、第 1 の配線に発生した電流値に比例した電流値を前記第 2 の配線に発生させるためのカレントミラー回路部と、

前記第 1 の配線に接続され、外部回路から与えられる制御信号に応じて所定の電流を前記第 1 の配線に発生させる第 2 の駆動トランジスタと、を含み、

前記第 2 の配線に、前記制御電極信号発生用トランジスタが接続されている、電気光学装置。

【請求項 4】 請求項 2 または 3 記載の電気光学装置であって、

前記電流生成回路は、さらに、

前記第 1 の駆動トランジスタと前記第 1 のスイッチングトランジスタとの N 組の直列接続と並列に設けられたオ

フセット電流発生用の第 3 の駆動トランジスタを有しており、

前記第 3 の駆動トランジスタと前記データ線との間にはスイッチングトランジスタが設けられておらず、前記第 3 の駆動トランジスタの制御電極が前記制御電極信号発生用トランジスタの前記第 1 の制御電極と接続されている、電気光学装置。

【請求項 5】 請求項 1 ないし 4 のいずれかに記載の電気光学装置であって、

10 前記第 1 の駆動トランジスタと前記第 1 のスイッチングトランジスタの各直列接続は、抵抗要素を含んでいる、電気光学装置。

【請求項 6】 請求項 5 記載の電気光学装置であって、前記抵抗要素はトランジスタである、電気光学装置。

【請求項 7】 請求項 1 ないし 6 のいずれかに記載の電気光学装置であって、

前記 N 個の第 1 の駆動トランジスタのうちの n 番目 (n は 1 から N までの整数) のトランジスタの利得係数の相対値が 2^{n-1} になるように、前記 N 個の第 1 の駆動トランジスタが構成されている、電気光学装置。

20 【請求項 8】 請求項 1 ないし 7 のいずれかに記載の電気光学装置であって、

前記画素マトリクスは、アクティブマトリクス駆動法によって駆動される、電気光学装置。

【請求項 9】 請求項 1 ないし 7 のいずれかに記載の電気光学装置であって、

前記画素マトリクスは、パッシブマトリクス駆動法によって駆動される、電気光学装置。

30 【請求項 10】 発光素子を含む画素のマトリクスを駆動する際に、前記画素に接続されたデータ線に前記発光素子の発光の階調に応じた電流値を有するデータ信号を出力するためのデータ線駆動回路であって、

所定の電流を発生させるための第 1 の駆動トランジスタと、外部回路から与えられる制御信号に応じてオン／オフ制御される第 1 のスイッチングトランジスタとの直列接続が、N 組 (N は 2 以上の整数) 互いに並列に接続された構成を有する電流加算型の電流生成回路と、

40 所定の信号レベルを有する制御電極信号を生成して N 個の前記第 1 の駆動トランジスタの制御電極に共通に供給する制御電極信号生成回路と、を備えるデータ線駆動回路。

【請求項 11】 定電流生成手段と、信号入力線と、出力端と、

前記定電流生成手段により生成される基準電流と前記信号入力線に供給される信号とに基づいて生成した出力電流を前記出力端に出力する電流出力手段と、を備えることを特徴とする電流生成回路。

50 【請求項 12】 請求項 11 に記載の電流生成回路であって、前記定電流生成手段がカレントミラー回路を含んで構成されることを特徴とする電流生成回路。

THIS PAGE BLANK (USPTO)

【請求項 13】 請求項 11 または 12 に記載の電流生成回路であって、前記電流生成手段が少なくとも 1 つの基準電圧源を備えて構成されることを特徴とする電流生成回路。

【請求項 14】 請求項 11 から 13 のいずれかに記載の電流生成回路であって、前記電流出力手段が、利得係数の異なる複数の第 1 のトランジスタを含んで構成されることを特徴とする電流生成回路。

【請求項 15】 請求項 14 に記載の電流生成回路であって、前記電流出力手段が、前記複数の第 1 のトランジスタのうち前記信号により選択されたトランジスタに流れる電流を合成することにより前記出力電流を生成する手段であることを特徴とする電流生成回路。

【請求項 16】 請求項 14 または 15 に記載の電流生成回路であって、前記電流生成手段が、前記第 1 のトランジスタのゲート電極に接続された第 2 のトランジスタを備えて構成されることを特徴とする電流生成回路。

【請求項 17】 請求項 16 に記載の電流生成回路であって、前記第 2 のトランジスタは、前記基準電流を前記複数の第 1 のトランジスタのゲート電圧に変換する機能を有することを特徴とする電流生成回路。

【請求項 18】 請求項 14 から 17 のいずれかに記載の電流生成回路であって、前記出力端と前記複数の第 1 のトランジスタとの間に、前記複数の第 1 のトランジスタの少なくとも 1 つに対応する第 1 の抵抗付加手段を備えていることを特徴とする電流生成回路。

【請求項 19】 請求項 18 に記載の電流生成回路であって、前記第 1 の抵抗付加手段が第 3 のトランジスタであることを特徴とする電流生成回路。

【請求項 20】 請求項 19 に記載の電流生成回路であって、前記電流生成手段は、前記第 3 のトランジスタのゲート電極と接続された第 4 のトランジスタを備えていることを特徴とする電流生成回路。

【請求項 21】 請求項 11 から 20 のいずれかに記載の電流生成回路であって、前記電流出力手段が前記出力電流の下限値を規定するオフセット電流経路を備えることを特徴とする電流生成回路。

【請求項 22】 請求項 16 から 21 に記載の電流生成回路であって、前記オフセット電流経路は、そのゲート電極が前記第 2 のトランジスタに接続された第 5 のトランジスタを備えることを特徴とする電流生成回路。

【請求項 23】 請求項 22 に記載の電流生成回路であって、前記出力端と前記第 5 のトランジスタとの間に第 2 の抵抗付加手段を備えることを特徴とする電流生成回路。

【請求項 24】 請求項 23 に記載の電流生成回路であって、前記第 2 の抵抗付加手段が第 6 のトランジスタであることを特徴とする電流生成回路。

【請求項 25】 請求項 11 から 24 のいずれかに記載の前記電流生成回路の駆動方法であって、前記基準電流

を前記出力電流の最大値と最小値の中間近傍の値に設定することを特徴とする電流生成回路の駆動方法。

【請求項 26】 請求項 22 から 24 のいずれかに記載の前記電流生成回路の駆動方法であって、前記第 5 のトランジスタの利得係数を変化させることにより前記出力電流を制御することを特徴とする電流生成回路の駆動方法。

【請求項 27】 複数の走査線と、複数のデータ線と、前記走査線と前記データ線との交差部に対応して配置された電気光学素子と、前記走査線を駆動する走査線駆動回路及び前記データ線を駆動するデータ線駆動回路とを備えた電気光学装置であって、

前記データ線駆動回路が請求項 11 から 24 のいずれかに記載の前記電流生成回路を備え、前記電流生成回路の出力電流を前記データ線に入力する手段を備えることを特徴とする電気光学装置。

【請求項 28】 請求項 27 に記載の電気光学装置であって、前記電気光学素子が電流駆動型素子であることを特徴とする電気光学装置。

【請求項 29】 請求項 28 に記載の電気光学装置であって、前記電流駆動型素子が有機エレクトロルミネセンス素子であることを特徴とする電気光学装置。

【請求項 30】 請求項 27 から 29 のいずれかに記載の電気光学装置であって、前記電気光学素子に供給されるデータを記憶するメモリと、前記メモリから読み出したデータを前記信号として前記走査線駆動回路もしくは前記データ線駆動回路に供給し、前記走査線駆動回路および前記データ線駆動回路の動作を制御する制御回路とを備えることを特徴とする電気光学装置。

【請求項 31】 請求項 27 から 30 のいずれかに記載の電気光学装置であって、当該駆動システムを構成する所定の回路に基準動作信号を供給する発振回路を備えることを特徴とする電気光学装置。

【請求項 32】 請求項 11 から 24 のいずれかに記載の前記電流生成回路が実装されてなる半導体集積回路装置。

【請求項 33】 請求項 27 から 31 のいずれかに記載の前記電気光学装置が実装されてなる電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、発光素子の画素回路に対して、発光階調の設定のために供給されるプログラミング電流を生成する技術に関する。

【0002】

【従来の技術】 近年、有機 EL 素子 (Organic Electroluminescent devices) を用いた電気光学装置が開発されている。有機 EL 素子は、自発光素子であり、バックライトが不要なので、低消費電力、高視野角、高コントラスト比の表示装置を達成できるものと期待されている。

THIS PAGE BLANK (USPTO)

なお、本明細書において、「電気光学装置」とは、電気信号を光に変換する装置を意味している。電気光学装置の最も普通の形態は、画像を表す電気信号を画像を表す光に変換する表示装置である。

【0003】有機EL素子を用いたアクティブマトリクス駆動の電気光学装置では、各有機EL素子に対して、発光階調を調整するための画素回路が設けられる。各画素回路における発光階調の設定は、発光階調に応じた電圧値または電流値を画素回路に供給することによって実行される。電圧値によって発光階調の設定を行う方法は電圧プログラミング方式と呼ばれており、また、電流値によって発光階調の設定を行う方法は電流プログラミング方式と呼ばれている。ここで、「プログラミング」は、「発光階調の設定」を意味するものとして使用されている。電流プログラミング方式では、画素回路をプログラミングする際の電流は「プログラミング電流」と呼ばれる。電流プログラミング方式の電気光学装置では、各有機EL素子の画素回路に対して、発光の階調に応じた正確な電流値のプログラミング電流を生成して各画素回路に供給する電流生成回路が利用される。

【0004】

【発明が解決しようとする課題】ところで、発光階調に応じたプログラミング電流値は、画素回路の構成に依存する。一方、画素回路の構成は、電気光学装置の設計に応じて多少変更される場合が多い。従って、電流生成回路としては、画素回路の実際の構成に合わせて、その出力電流値（プログラミング電流値）の範囲を設定し易い回路が望まれていた。

【0005】本発明は、上述した従来の課題を解決するためになされたものであり、プログラム電流の電流値の範囲を容易に設定することのできる技術を提供することを第1の目的とする。また、回路構成がシンプルで生産性や耐久性に優れた電流生成回路およびその駆動方法、およびこれを用いた電気光学装置、半導体集積回路装置、電子機器を提供することを第2の目的とする。

【0006】

【課題を解決するための手段およびその作用・効果】上述の目的の少なくとも一部を達成するために、本発明の第1の電気光学装置は、電気光学装置であって、発光素子を含む画素がマトリクス状に配列された画素マトリクスと、前記画素マトリクスの行方向に沿って配列された画素群にそれぞれ接続された複数の走査線と、前記画素マトリクスの列方向に沿って配列された画素群にそれぞれ接続された複数のデータ線と、前記複数の走査線に接続され、前記画素マトリクスの1つの行を選択するための走査線駆動回路と、前記発光素子の発光の階調に応じた電流値を有するデータ信号を生成して、前記複数のデータ線のうちの少なくとも1つのデータ線に出力することが可能なデータ線駆動回路と、を備え、前記データ線駆動回路は、所定の電流を発生させるための第1の駆

動トランジスタと、外部回路から与えられる制御信号に応じてオン/オフ制御される第1のスイッチングトランジスタとの直列接続が、N組（Nは2以上の整数）互いに並列に接続された構成を有する電流加算型の電流生成回路と、所定の信号レベルを有する制御電極信号を生成してN個の前記第1の駆動トランジスタの制御電極に共通に供給する制御電極信号生成回路と、を備える。

【0007】この構成によれば、電流生成回路のN個の第1の駆動トランジスタの設計値の調整によって、それぞれの電流駆動能力を設定することができるので、データ線の電流値（プログラム電流値）の範囲を容易に設定することが可能である。また、制御電極信号生成回路から、N個の第1の駆動トランジスタの制御電極に対して制御電極信号を共通に供給するので、安定した正確な電流値を有するデータ信号を発生させることが可能である。

【0008】なお、前記制御電極信号生成回路は、第1の制御電極を有し、前記制御電極信号を前記第1の制御電極から発生するための制御電極信号発生用トランジスタと、前記制御電極信号発生用トランジスタに一定の電流を流す定電流回路と、を有していてもよい。このとき、前記制御電極信号発生用トランジスタの前記第1の制御電極と前記電流生成回路の前記N個の第1の駆動トランジスタの制御電極とが互いに接続される。

【0009】この構成によれば、定電流回路に流れる一定の電流値の設計値を調整することによっても、データ線の電流値の範囲を設定することが可能となる。

【0010】前記定電流回路は、第1と第2の配線にそれぞれ接続された2つのトランジスタを有し、第1の配線に発生した電流値に比例した電流値を前記第2の配線に発生させるためのカレントミラー回路部と、前記第1の配線に接続され、外部回路から与えられる制御信号に応じて所定の電流を前記第1の配線上に発生させる第2の駆動トランジスタと、を含み、前記第2の配線に、前記制御電極信号発生用トランジスタが接続されているように構成されていてもよい。

【0011】この構成によれば、カレントミラー回路部の構成や、第2の駆動トランジスタの電流駆動能力の設計値を調整することによっても、データ線の電流値の範囲を設定することが可能となる。

【0012】前記電流生成回路は、さらに、前記第1の駆動トランジスタと前記第1のスイッチングトランジスタとのN組の直列接続と並列に設けられたオフセット電流発生用の第3の駆動トランジスタを有しており、前記第3の駆動トランジスタと前記データ線との間にはスイッチングトランジスタが設けられておらず、前記第3の駆動トランジスタの制御電極が前記制御電極信号発生用トランジスタの前記第1の制御電極と接続されているように構成されていてもよい。

【0013】この構成によれば、発光素子の発光階調と

10

20

30

40

50

THIS PAGE BLANK (USPTO)

データ線の電流値との関係にオフセットを設けることができるので、データ線の電流値を好ましい範囲に設定することが可能となる。

【0014】前記第1の駆動トランジスタと前記第1のスイッチングトランジスタの各直列接続は、抵抗要素を含んでいてもよい。

【0015】この構成によれば、データ信号のノイズを低減することができる。

【0016】なお、前記抵抗要素は例えばトランジスタである。

【0017】前記N個の第1の駆動トランジスタのうちのn番目（nは1からNまでの整数）のトランジスタの利得係数の相対値が 2^{n-1} になるように、前記N個の第1の駆動トランジスタが構成されていてもよい。

【0018】この構成によれば、データ信号の電流値の範囲を広く確保することができる。

【0019】なお、前記画素マトリクスは、アクティブマトリクス駆動法によって駆動されるものであってもよい。あるいは、前記画素マトリクスは、パッシブマトリクス駆動法によって駆動されるものであってもよい。

【0020】本発明による電流生成回路は、定電流生成手段と、信号入力線と、出力端と、前記定電流生成手段により生成される基準電流と前記信号入力線に供給される信号とに基づいて生成した出力電流を前記出力端に出力する電流出力手段と、を備えることを特徴とする。

【0021】この電流生成回路は、回路構成がシンプルで生産性や耐久性に優れるといった各種の優れた特徴を有する。

【0022】なお、前記定電流生成手段は、カレントミラー回路を含んで構成されていてもよい。

【0023】また、前記定電流生成手段が少なくとも1つの基準電圧源を備えて構成されていてもよい。

【0024】前記電流出力手段は、利得係数の異なる複数の第1のトランジスタを含んで構成されていてもよい。

【0025】前記電流出力手段が、前記複数の第1のトランジスタのうち前記信号により選択されたトランジスタに流れる電流を合成することにより前記出力電流を生成する手段であるとしてもよい。

【0026】前記定電流生成手段が、前記第1のトランジスタのゲート電極に接続された第2のトランジスタを備えて構成されるものとしてもよい。

【0027】前記第2のトランジスタは、前記基準電流を前記複数の第1のトランジスタのゲート電圧に変換する機能を有することとしてもよい。

【0028】前記出力端と前記複数の第1のトランジスタとの間に、前記複数の第1のトランジスタの少なくとも1つに対応する第1の抵抗付加手段を備えていることとしてもよい。

【0029】前記第1の抵抗付加手段が第3のトランジ

スタであることとしてもよい。

【0030】前記定電流生成手段は、前記第3のトランジスタのゲート電極と接続された第4のトランジスタを備えていることとしてもよい。

【0031】前記電流出力手段が前記出力電流の下限値を規定するオフセット電流経路を備えることとしてもよい。

【0032】前記オフセット電流経路は、そのゲート電極が前記第2のトランジスタに接続された第5のトランジスタを備えることとしてもよい。

【0033】前記出力端と前記第5のトランジスタとの間に第2の抵抗付加手段を備えることとしてもよい。

【0034】前記第2の抵抗付加手段が第6のトランジスタであることとしてもよい。

【0035】前記基準電流を前記出力電流の最大値と最小値の中間近傍の値に設定することとしてもよい。

【0036】前記第5のトランジスタの利得係数を変化させることにより前記出力電流を制御することとしてもよい。

【0037】本発明による第2の電気光学装置は、複数の走査線と、複数のデータ線と、前記走査線と前記データ線との交差部に対応して配置された電気光学素子と、前記走査線を駆動する走査線駆動回路及び前記データ線を駆動するデータ線駆動回路とを備えた電気光学装置であって、前記データ線駆動回路が上述したいずれかの電流生成回路を備え、前記電流生成回路の出力電流を前記データ線に入力する手段を備える。

【0038】前記電気光学素子が電流駆動型素子であることとしてもよい。

【0039】また、前記電流駆動型素子が有機エレクトロルミネッセンス素子であることとしてもよい。

【0040】なお、本発明は、種々の形態で実現することが可能であり、例えば、データ線駆動回路、そのデータ線駆動回路を備えた電気光学装置や表示装置、その電気光学装置や表示装置を備えた電子装置、それらの装置の駆動方法、その方法の機能を実現するためのコンピュータプログラム、そのコンピュータプログラムを記録した記録媒体、そのコンピュータプログラムを含み搬送波内に具現化されたデータ信号、等の形態で実現することができる。

【0041】

【発明の実施の形態】次に、本発明の実施の形態を実施例に基づいて以下の順序で説明する。

A. 装置の全体構成：

B. 第1実施例：

C. 第2実施例：

D. 電子機器への適用例：

E. 変形例

【0042】A. 装置の全体構成：図1は、本発明の一実施例としての電気光学装置100の回路構成を示すブ

THIS PAGE BLANK (USPTO)

ロック図である。この電気光学装置 100 は、発光素子がマトリクス状に配置された表示パネル部 101 (「画素領域」とも呼ぶ) と、表示パネル部 101 のデータ線を駆動するデータ線駆動回路 102 と、表示パネル部 101 の走査線 (「ゲート線」とも呼ぶ) を駆動する走査線駆動回路 103 (「ゲートドライバ」とも呼ぶ) と、コンピュータ 110 から供給される表示データを記憶するメモリ 104 と、基準動作信号を他の構成要素に供給する発振回路 106 と、電源回路 107 と、電気光学装置 100 内の各構成要素を制御するための制御回路 105 と、を備えている。

【0043】電気光学装置 100 の各構成要素 101 ~ 107 は、それぞれが独立した部品 (例えば、1 チップの半導体集積回路装置) によって構成されていてもよく、あるいは、各構成要素 101 ~ 107 の全部もしくは一部が、一体となった部品として構成されていてもよい。例えば、表示パネル部 101 に、データ線駆動回路 102 と走査線駆動回路 103 とが一体的に構成されていてもよい。また、構成要素 102 ~ 106 の全部もしくは一部がプログラマブルな IC チップで構成され、その機能が IC チップに書き込まれたプログラムによりソフトウェア的に実現されていてもよい。

【0044】図 2 は、表示パネル部 101 とデータ線駆動回路 102 の内部構成を示している。表示パネル部 101 は、マトリクス状に配列された複数の画素回路 200 を有しており、各画素回路 200 は有機 EL 素子 220 をそれぞれ有している。画素回路 200 のマトリクスには、その列方向に沿って伸びる複数のデータ線 X_m ($m=1 \sim M$) と、行方向に沿って伸びる複数の走査線 Y_n ($n=1 \sim N$) とがそれぞれ接続されている。なお、データ線は「ソース線」とも呼ばれ、また、走査線は「ゲート線」とも呼ばれる。また、本明細書では、画素回路 200 を「単位回路」あるいは「画素」とも呼ぶ。画素回路 200 内のトランジスタは、通常は TFT で構成される。

【0045】走査線駆動回路 103 は、複数の走査線 Y_n 中の 1 本を選択的に駆動して 1 行分の画素回路群を選択する。データ線駆動回路 102 は、各データ線 X_m をそれぞれ駆動するための複数の単一ラインドライバ 300 と、ゲート電圧生成回路 400 とを有している。ゲート電圧生成回路 400 は、所定の電圧値を有するゲート制御信号を単一ラインドライバ 300 に供給する。ゲート電圧生成回路 400 と単一ラインドライバ 300 の内部構成については後述する。

【0046】単一ラインドライバ 300 は、各データ線 X_m を介して画素回路 200 にデータ信号を供給する。このデータ信号に応じて画素回路 200 の内部状態 (後述する) が設定されると、これに応じて有機 EL 素子 220 に流れる電流値が制御され、この結果、有機 EL 素子 220 の発光の階調が制御される。

【0047】制御回路 105 (図 1) は、表示パネル部 101 の表示状態を表す表示データ (画像データ) を、各有機 EL 素子 220 の発光の階調を表すマトリクスデータに変換する。マトリクスデータは、1 行分の画素回路群を順次選択するための走査線駆動信号と、選択された画素回路群の有機 EL 素子 220 に供給するデータ線信号のレベルを示すデータ線駆動信号とを含んでいる。走査線駆動信号とデータ線駆動信号は、走査線駆動回路 103 とデータ線駆動回路 102 にそれぞれ供給される。制御回路 105 は、また、走査線とデータ線の駆動タイミングのタイミング制御を行う。

【0048】図 3 は、画素回路 200 の内部構成を示す回路図である。この画素回路 200 は、 m 番目のデータ線 X_m と n 番目の走査線 Y_n との交点に配置されている回路である。なお、走査線 Y_n は、2 本のサブ走査線 V_1 , V_2 を含んでいる。

【0049】画素回路 200 は、データ線 X_m に流れる電流値に応じて有機 EL 素子 220 の階調を調節する電流プログラム回路である。具体的には、この画素回路 200 は、有機 EL 素子 220 の他に、4 つのトランジスタ 211 ~ 214 と、保持キャパシタ 230 (「保持コンデンサ」あるいは「記憶キャパシタ」とも呼ぶ) とを有している。保持キャパシタ 230 は、データ線 X_m を介して供給されたデータ信号に応じた電荷を保持し、これによって、有機 EL 素子 220 の発光の階調を調節するためのものである。換言すれば、保持キャパシタ 230 は、データ線 X_m に流れる電流に応じた電圧を保持する。第 1 ないし第 3 のトランジスタ 211 ~ 213 は n チャンネル型 FET であり、第 4 のトランジスタ 214 は p チャンネル型 FET である。有機 EL 素子 220 は、フォトダイオードと同様の電流注入型 (電流駆動型) の発光素子なので、ここではダイオードの記号で描かれている。

【0050】第 1 のトランジスタ 211 のソースは、第 2 のトランジスタ 212 のドレインと、第 3 のトランジスタ 213 のドレインと、第 4 のトランジスタ 214 のドレインと、にそれぞれ接続されている。第 1 のトランジスタ 211 のドレインは、第 4 のトランジスタ 214 のゲートに接続されている。保持キャパシタ 230 は、第 4 のトランジスタ 214 のソースとゲートとの間に接続されている。また、第 4 のトランジスタ 214 のソースは、電源電位 V_{dd} にも接続されている。

【0051】第 2 のトランジスタ 212 のソースは、データ線 X_m を介して単一ラインドライバ 300 (図 2) に接続されている。有機 EL 素子 220 は、第 3 のトランジスタ 213 のソースと接地電位との間に接続されている。

【0052】第 1 と第 2 のトランジスタ 211, 212 のゲートは、第 1 のサブ走査線 V_1 に共通に接続されている。また、第 3 のトランジスタ 213 のゲートは、第

THIS PAGE BLANK (USPTO)

2のサブ走査線V2に接続されている。

【0053】第1と第2のトランジスタ211、212は、保持キャパシタ230に電荷を蓄積する際に使用されるスイッチングトランジスタである。第3のトランジスタ213は、有機EL素子220の発光期間においてオン状態に保たれるスイッチングトランジスタである。また、第4のトランジスタ214は、有機EL素子220に流れる電流値を制御するための駆動トランジスタである。第4のトランジスタ214の電流値は、保持キャ

パシタ230に保持される電荷量（蓄積電荷量）によって制御される。

【0054】図4は、画素回路200の動作を示すタイミングチャートである。ここでは、第1のサブ走査線V1の電圧値（以下、「第1のゲート信号V1」も呼ぶ）と、第2のサブ走査線V2の電圧値（以下、「第2のゲート信号V2」も呼ぶ）と、データ線Xmの電流値Iout（「データ信号Iout」も呼ぶ）と、有機EL素子220に流れる電流値IELとが示されている。

【0055】駆動周期Tcは、プログラミング期間Tprと発光期間Te1とに分かれている。ここで、「駆動周期Tc」とは、表示パネル部101内のすべての有機EL素子220の発光の階調が1回ずつ更新される周期を意味しており、いわゆるフレーム周期と同じものである。階調の更新は、1行分の画素回路群毎に行われ、駆動周期Tcの間にN行分の画素回路群の階調が順次更新される。例えば、30Hzで全画素回路の階調が更新される場合には、駆動周期Tcは約33msである。

【0056】プログラミング期間Tprは、有機EL素子220の発光の階調を画素回路200内に設定する期間である。本明細書では、画素回路200への階調の設定を「プログラミング」と呼んでいる。例えば、駆動周期Tcが約33msであり、走査線Ynの総数Nが480本である場合には、プログラミング周期Tprは約69μs（=33ms/480）以下になる。

【0057】プログラミング期間Tprでは、まず、第2のゲート信号V2をLレベルに設定して第3のトランジスタ213をオフ状態（閉状態）に保つ。次に、データ線Xm上に発光階調に応じた電流値Imを流しながら、第1のゲート信号V1をHレベルに設定して第1と第2のトランジスタ211、212をオン状態（開状態）にする。このとき、このデータ線Xmの単一ラインドライバ300（図2）は、発光階調に応じた一定の電流値Imを流す定電流源として機能する。図4（c）に示されているように、この電流値Imは、所定の電流値の範囲RI内において、有機EL素子220の発光の階調に応じた値に設定されている。

【0058】保持キャパシタ230には、第4のトランジスタ214（駆動トランジスタ）を流れる電流値Imに対応した電荷が保持される。この結果、第4のトランジスタ214のソース/ゲート間には、保持キャパシタ

230に記憶された電圧が印加される。なお、本明細書では、プログラミングに用いられるデータ信号の電流値Imを「プログラミング電流値Im」と呼ぶ。

【0059】プログラミングが終了すると、走査線駆動回路103が第1のゲート信号V1をLレベルに設定して第1と第2のトランジスタ211、212をオフ状態とし、また、データ線駆動回路102はデータ信号Ioutを停止する。

【0060】発光期間Te1では、第1のゲート信号V1をLレベルに維持して第1と第2のトランジスタ211、212をオフ状態に保ったまま、第2のゲート信号V2をHレベルに設定して第3のトランジスタ213をオン状態に設定する。保持キャパシタ230には、プログラミング電流値Imに対応した電圧が予め記憶されているので、第4のトランジスタ214にはプログラミング電流値Imとほぼ同じ電流が流れる。従って、有機EL素子220にもプログラミング電流値Imとほぼ同じ電流が流れ、この電流値Imに応じた階調で発光する。このように、保持キャパシタ230の電圧（すなわち電荷）が電流値Imによって書き込まれるタイプの画素回路200は、「電流プログラム回路」と呼ばれている。

【0061】B. 第1実施例：図5は、単一ラインドライバ300とゲート電圧生成回路400の内部構成を示す回路図である。単一ラインドライバ300は、8ビットのD/Aコンバータ部310と、オフセット電流生成回路320とを有している。

【0062】D/Aコンバータ部310は、8本の電流ラインIU1～IU8が並列に接続されたものである。第1の電流ラインIU1には、スイッチングトランジスタ81と、一種の抵抗素子として機能する抵抗用トランジスタ41と、所定の電流を流す定電流源として機能する駆動トランジスタ21とが、データ線302と接地電位との間に直列に接続されている。他の電流ラインIU2～IU8も同様の構成を有している。これらの3種類のトランジスタ81～88、41～48、21～28は、図5の例ではいずれもnチャンネル型FETである。8つの駆動トランジスタ21～28のゲートは、第1の共通ゲート線303に共通に接続されている。また、8つの抵抗用トランジスタ41～48のゲートは、第2の共通ゲート線304に共通に接続されている。8個のスイッチングトランジスタ81～88の各ゲートには、信号入力線301を介して制御回路105（図1）から与えられる8ビットの階調データDATAの各ビットが入力される。

【0063】8つの駆動トランジスタ21～28の利得係数βの比Kは、1:2:4:8:16:32:64:128に設定されている。すなわち、n番目（n=1～N）の駆動トランジスタの利得係数βの相対値Kは2ⁿ⁻¹に設定されている。ここで、利得係数βは、良く知られているように、 $\beta = K\beta_0 = (\mu C_0 W/L)$ で定

THIS PAGE BLANK (USPTO)

義される。ここで、 K は相対値、 β_0 は所定の定数、 μ はキャリアの移動度、 C_0 はゲート容量、 W はチャンネル幅、 L はチャンネル長である。駆動トランジスタの数 N は、2以上の整数である。なお、この駆動トランジスタの数 N は、走査線 Y_n の数とは無関係である。

【0064】8つの駆動トランジスタ21~28は、定電流源として機能する。トランジスタの電流駆動能力は利得係数 β に比例するので、8つの駆動トランジスタ21~28の電流駆動能力の比は、1:2:4:8:16:32:64:128である。換言すれば、各駆動トランジスタ21~28の利得係数の相対値 K は、階調データDATAの各ビットの重みに対応づけられた値にそれぞれ設定されている。

【0065】なお、抵抗用トランジスタ41~48の電流駆動能力は、通常は、対応する各駆動トランジスタ21~28の電流駆動能力以上の値に設定される。従って、各電流ラインIU1~IU8の電流駆動能力は、駆動トランジスタ21~28によって決定される。なお、抵抗用トランジスタ41~48は、電流値のノイズを除去するノイズフィルタとしての機能を有している。

【0066】オフセット電流生成回路320は、抵抗用トランジスタ52と、駆動トランジスタ32とが、データ線302と接地電位との間に直列に接続された構成を有している。駆動トランジスタ32のゲートは第1の共通ゲート線303に接続されており、抵抗用トランジスタ52のゲートは第2の共通ゲート線304に接続されている。駆動トランジスタ32の利得係数 β の相対値は K_b である。なお、オフセット電流生成回路320では、駆動トランジスタ32とデータ線302との間にスイッチングトランジスタが設けられておらず、この点でD/Aコンバータ部310内の各電流ラインとは異なっている。

【0067】オフセット電流生成回路320の電流ラインI_{offset}は、D/Aコンバータ部310の8本の電流ラインIU1~IU8と並列に接続されている。従って、これらの9本の電流ラインI_{offset}、IU1~IU8を流れる電流の合計が、プログラミング電流としてデータ線302上に出力される。すなわち、単一ラインドライバ310は、電流加算型の電流生成回路である。なお、以下では、各電流ラインを示す符号I_{offset}、IU1~IU8を、それらを流れる電流を示す符号としても使用する。

【0068】ゲート電圧生成回路400は、2つのトランジスタ71、72で構成されたカレントミラー回路部を含んでいる。2つのトランジスタ71、72のゲート同士は互いに接続されており、また、第1のトランジスタ71のゲートとドレインも互いに接続されている。2つのトランジスタ71、72のそれぞれの一方の端子(ソース)は、ゲート電圧生成回路400用の電源電位VDREFに接続されている。第1のトランジスタ71の他

方の端子(ドレイン)と接地電位との間の第1の配線401上には、駆動トランジスタ73が直列に接続されている。駆動トランジスタ73のゲートには、制御回路105から所定の電圧レベルを有する制御信号VRINが入力される。第2のトランジスタ72の他方の端子(ドレイン)と接地電位との間の第2の配線402上には、抵抗用トランジスタ51と定電圧発生用トランジスタ31(「制御電極信号発生用トランジスタ」とも呼ぶ)とが直列に接続されている。定電圧発生用トランジスタ31の利得係数 β の相対値は K_a である。

【0069】定電圧発生用トランジスタ31のゲートとドレインは互いに接続されており、これらは単一ラインドライバ300第1の共通ゲート線303に接続されている。また、抵抗用トランジスタ51のゲートとドレインも互いに接続されており、これらは単一ラインドライバ300第2の共通ゲート線304に接続されている。

【0070】なお、図5の例では、カレントミラー回路部を構成する2つのトランジスタ71、72はpチャンネル型FETで構成されており、他のトランジスタはnチャンネル型FETで構成されている。

【0071】ゲート電圧生成回路400の駆動トランジスタ73のゲートに所定の電圧レベルの制御信号VRINが入力されると、第1の配線401上に、この制御信号VRINの電圧レベルに応じた一定の基準電流I_{const}が発生する。2つのトランジスタ71、72はカレントミラー回路部を構成しているので、第2の配線402上にも同じ基準電流I_{const}が流れる。但し、2つの配線401、402に流れる電流が同一である必要はなく、一般には、第2の配線402上に第1の配線401の基準電流I_{const}に比例する電流が流れるように、第1と第2のトランジスタ71、72が構成されていればよい。

【0072】第2の配線402上の2つのトランジスタ31、51のゲート/ドレイン間には、この電流I_{const}に応じた所定のゲート電圧V_{g1}、V_{g2}がそれぞれ発生する。第1のゲート電圧V_{g1}は、第1の共通ゲート線303を介して、単一ラインドライバ300内の9つの駆動トランジスタ32、21~28のゲートに共通に印加される。また、第2のゲート電圧V_{g2}は、第2の共通ゲート線304を介して、9つの抵抗用トランジスタ52、41~48のゲートに共通に印加される。

【0073】各電流ラインI_{offset}、IU1~IU8の電流駆動能力は、各駆動トランジスタ32、21~28の利得係数 β と、印加電圧とによって決定される。従って、単一ラインドライバ300の各電流ラインI_{offset}、IU1~IU8には、ゲート電圧V_{g1}に応じて、各駆動トランジスタの利得係数 β の相対値 K に比例した電流値が流れ得る。このとき、信号入力線301を介して制御回路105から8ビットの階調データDATAが与えられると、この階調データDATAの各ビットの値に応じて8つのスイッチングトランジスタ81~88が

THIS PAGE BLANK (USPTO)

オン/オフ制御される。この結果、階調データDATAの値に応じた電流値を有するプログラミング電流 I_m がデータ線302上に出力される。

【0074】なお、この単一ラインドライバ300は、オフセット電流生成回路320を有している。階調データDATAの値とプログラミング電流 I_m とは、原点を通る完全な比例関係ではなく、オフセットを有している。このようなオフセットを設けることによって、プログラミング電流値の範囲の設定の自由度が増すので、プログラミング電流値を好ましい範囲に容易に設定できるといふ利点がある。

【0075】図6は、データ線駆動回路102の出力電流 I_{out} と、階調データDATAの値（階調値）との関係の例1～例5を示す説明図である。図6（a）の表には、標準の例1と、以下の4つのパラメータをそれぞれ変化させた場合の例2～例5が示されている。

（1）VRIN：ゲート電圧生成回路400の駆動トランジスタ73のゲート信号の電圧値。

（2）VDREF：ゲート電圧生成回路400のカレントミラー回路部の電源電圧。

（3）Ka：ゲート電圧生成回路400の定電圧発生用トランジスタ31の利得係数 β の相対値。

（4）Kb：オフセット電流生成回路320の駆動トランジスタ32の利得係数 β の相対値。

【0076】図6（b）は、図6（a）の関係をグラフに示したものである。なお、「標準」とされている例1は、各パラメータを所定の標準値に設定した場合の例である。例2は、標準である例1よりも駆動トランジスタ73の電圧VRINのみを高い値に設定した場合の例である。例3は、標準である例1よりもカレントミラー回路部の電源電圧VDREFのみを高い値に設定した場合の例である。例4は、標準である例1よりも、定電圧発生用トランジスタ31の利得係数 β の相対値Kaのみを大きな値に設定した例である。例5は、標準である例1よりも、駆動トランジスタ32の利得係数 β の相対値Kbのみを大きな値に設定した例である。

【0077】これらの表およびグラフに示されているように、出力電流 I_{out} の値は、各パラメータVRIN、VDREF、Ka、Kbに応じて変化する。従って、これらのパラメータの1つ以上の値を変更することによって、発光階調の制御に利用される電流値の範囲を変更することができる。なお、各パラメータVRIN、VDREF、Ka、Kbの値は、それぞれに関連する回路部分の設計値を調整することによって設定される。図5に示した回路構成では、4つのパラメータVRIN、VDREF、Ka、Kbがいずれも出力電流 I_{out} の範囲に影響を与えるので、出力電流 I_{out} の範囲を設定する際の自由度が高く、任意の範囲に容易に設定できるといふ利点がある。

【0078】ところで、出力電流 I_{out} は、ゲート電圧

生成回路400内の基準電流 I_{const} に比例する。従って、基準電流 I_{const} は、出力電流 I_{out} （すなわちプログラミング電流 I_m ）に要求される電流値の範囲に応じて決定される。この際、基準電流 I_{const} の値を、出力電流 I_{out} として要求される電流値の範囲の両端近傍に設定してしまうと、回路部品の性能によっては、基準電流 I_{const} の小さなバラツキ（誤差）が、出力電流 I_{out} の大きなバラツキ（誤差）を生じるおそれがある。従って、出力電流 I_{out} の誤差を低減するためには、基準電流 I_{const} の値を、出力電流 I_{out} の電流値の範囲の最大値と最小値の中間近傍の値に設定することが好ましい。ここで、「最大値と最小値の中間近傍」とは、最大値と最小値の平均値（すなわち中央値）の $\pm 10\%$ 程度の範囲を意味している。

【0079】図7は、出力電流 I_{out} と発光階調との関係の一例を示すグラフである。この例では、0～255までの256階調を表現するために、0nA～5000nAの範囲の出力電流 I_{out} が利用される。このとき、基準電流 I_{const} の値は、その中間値である2500nA程度に設定することが好ましい。

【0080】なお、図5の回路において、基準電流 I_{const} の値を階調の中央値（＝128）に対応する出力電流 I_{out} の値に等しく設定するためには、定電圧発生用トランジスタ31の利得係数 β の相対値Kaを、階調の中央値に等しい値（＝128）に設定すれば良い。

【0081】以上説明したように、第1実施例のデータ線駆動回路102は、1つまたは複数のパラメータの設計値を任意に変更することによって、出力電流 I_{out} （プログラミング電流 I_m ）の範囲を任意に調節することができるという利点を有している。また、この回路102は構成が非常にシンプルであるため、耐久性や生産性にも優れているという利点がある。

【0082】C. 第2実施例：図8は、第2実施例における表示パネル部101aとデータ線駆動回路102aの内部構成を示している。この表示装置では、図2の構成における複数の単一ラインドライバ300の代わりに、1つの単一ラインドライバ300と、シフトレジスタ500と、が設けられている。また、表示パネル部101aの各データ線には、スイッチングトランジスタ520が設けられている。スイッチングトランジスタ520の一方の端子は各データ線Xmに接続されており、他方の端子は単一ラインドライバ300の出力信号線302に共通に接続されている。シフトレジスタ500は、各データ線Xmのスイッチングトランジスタ520にオン/オフ制御信号を供給しており、これによって、データ線Xmを1つずつ順次選択する。

【0083】この表示装置では、画素回路200が点順次に更新される。すなわち、走査線駆動回路103で選択されたゲート線Ynと、シフトレジスタ500で選択されたデータ線Xmと、の交点に存在する1つの画素回

THIS PAGE BLANK (USPTO)

路 200 のみが 1 回のプログラミングで更新される。例えば、 n 番目のゲート線 Y_n で選択された M 個の画素回路 200 について 1 つずつ順次プログラミングが行われ、その終了後、次の $(n+1)$ 番目のゲート線上の M 個の画素回路 200 が 1 つずつプログラミングされる。これに対して、上述した第 1 実施例においては、1 行分の画素回路群が同時に（すなわち、線順次に）プログラミングされていた点で、図 8 に示した表示装置と動作が異なっている。

【0084】図 8 の表示装置のように、点順次で画素回路 200 のプログラミングを行う場合にも、上述した第 1 実施例と同じ単一ラインドライバ 300 とゲート電圧生成回路 400 とを用いて、所望の電流範囲の出力電流 I_{out} （プログラミング電流 I_m ）を発生させることが可能である。

【0085】D. 電子機器への適用例：有機 EL 素子を利用した表示装置は、モバイル型のパーソナルコンピュータや、携帯電話や、デジタルスチルカメラ等の種々の電子装置に適用することができる。

【0086】図 9 は、モバイル型のパーソナルコンピュータの構成を示す斜視図である。パーソナルコンピュータ 1000 は、キーボード 1020 を備えた本体部 1040 と、有機 EL 素子を用いた表示ユニット 1060 とを備えている。

【0087】図 10 は、携帯電話の斜視図である。この携帯電話 2000 は、複数の操作ボタン 2020 と、受話口 2040 と、送話口 2060 と、有機 EL 素子を用いた表示パネル 2080 を備えている。

【0088】図 11 は、デジタルスチルカメラ 3000 の構成を示す斜視図である。なお、外部機器との接続についても簡易的に示している。通常のカメラは、被写体の光像によってフィルムを感光するのに対し、デジタルスチルカメラ 3000 は、被写体の光像を CCD（Charge Coupled Device）等の撮像素子の光電変換によって撮像信号を生成するものである。ここで、デジタルスチルカメラ 3000 のケース 3020 の背面には、有機 EL 素子を用いた表示パネル 3040 が設けられており、CCD による撮像信号に基づいて表示が行われる。このため、表示パネル 3040 は、被写体を表示するファイダとして機能する。また、ケース 3020 の観察側（図においては裏面側）には、光学レンズや CCD 等を含んだ受光ユニット 3060 が設けられている。

【0089】ここで、撮影者が表示パネル 3040 に表示された被写体像を確認して、シャッターボタン 3080 を押下すると、その時点における CCD の撮像信号が、回路基板 3100 のメモリに転送・格納される。また、このデジタルスチルカメラ 3000 にあっては、ケース 3020 の側面に、ビデオ信号出力端子 3120 と、データ通信の入出力端子 3140 とが設けられている。そして、図に示されるように、前者のビデオ信号出

力端子 3120 には、テレビモニタ 4300 が、また、後者のデータ通信の入出力端子 3140 にはパーソナルコンピュータ 4400 が、それぞれ必要に応じて接続される。さらに、所定の操作によって、回路基板 3100 のメモリに格納された撮像信号が、テレビモニタ 4300 や、パーソナルコンピュータ 4400 に出力される。

【0090】なお、電子機器としては、図 9 のパーソナルコンピュータや、図 10 の携帯電話、図 11 のデジタルスチルカメラの他にも、テレビ、ビューファインダ型やモニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS 端末、タッチパネルを備えた機器等を挙げることができる。これらの各種の電子機器の表示部として、有機 EL 素子を用いた上述の表示装置が適用可能である。

【0091】E. 変形例：なお、この発明は上記の実施例や実施形態に限られるものではなく、その要旨を逸脱しない範囲において種々の態様において実施することが可能であり、例えば次のような変形も可能である。

【0092】E1：図 5 に示した実施例では、駆動トランジスタ 32、21～28 に抵抗用トランジスタ 52、41～48 が接続されていたが、抵抗用トランジスタ 52、41～48 を他の抵抗要素（抵抗付加手段）と置き換えることも可能である。また、このような抵抗要素は、必ずしもすべての駆動トランジスタ 32、21～28 に接続する必要はなく、必要に応じて設ければよい。

【0093】E2：図 5 の回路構成のうちの一部を省略することも可能である。例えば、オフセット電流生成回路 320 を省略してもよい。但し、オフセット電流生成回路 320 を設けるようにすれば、プログラミング電流値の範囲の設定の自由度が増すので、プログラミング電流値を好ましい範囲に設定し易いという利点がある。

【0094】E3：上述した実施例において、一部または全部のトランジスタを、バイポーラトランジスタ、薄膜ダイオードなどや他の種類のスイッチング素子で置き換えることも可能である。FET のゲート電極やバイポーラトランジスタのベース電極は、本発明の「制御電極」に相当する。

【0095】E4：上述した各実施例では、表示パネル部 101 が 1 組の画素回路マトリクスを有するものとしていたが、表示パネル部 101 が複数組の画素回路マトリクスを有するものとしても良い。例えば、大型パネルを構成する際に、表示パネル部 101 を隣接する複数の領域に区分し、各領域毎に 1 組の画素回路マトリクスをそれぞれ設けるようにしても良い。また、1 つの表示パネル部 101 内に RGB の 3 つの色に相当する 3 組の画素回路マトリクスを設けるようにしても良い。複数の画素回路マトリクスが存在する場合には、各マトリクス毎に上述した実施例を適用することが可能である。

THIS PAGE BLANK (USPTO)

【0096】E5：上述した各実施例で用いた画素回路では、図5に示したようにプログラミング期間T_{pr}と発光期間T_{el}とが分かれていたが、プログラミング期間T_{pr}が発光期間T_{el}の一部に重なるような画素回路を用いることも可能である。このような画素回路に対しては、発光期間T_{el}の初期にプログラミングが行われて発光の階調が設定され、その後、設定された階調で発光が継続する。このような画素回路を利用した装置に関しても、上述したデータ線駆動回路を適用することが可能である。

【0097】E6：上述した各実施例では、有機EL素子を用いた表示装置の例を説明したが、本発明は、有機EL素子以外の発光素子を用いた表示装置や電子装置にも適用可能である。例えば、駆動電流に応じて発光の階調が調整可能な他の種類の発光素子（LEDやFED（Field Emission Display）など）を有する装置にも適用することができる。

【0098】E7：本発明は、画素回路を有するアクティブ駆動法によって駆動される回路や装置に限らず、画素回路を有さないパッシブ駆動法によって駆動される回路や装置にも適用可能である。

【図面の簡単な説明】

【図1】本発明の一実施例としての電気光学装置100の回路構成を示すブロック図。

【図2】表示パネル部101とデータ線駆動回路102の内部構成を示すブロック図。

【図3】画素回路200の内部構成を示す回路図。

【図4】画素回路200の動作を示すタイミングチャート。

【図5】単一ラインドライバ300とゲート電圧生成回路400の内部構成を示す回路図。

【図6】データ線駆動回路102の出力電流I_{out}と階調値との関係の例を示す説明図。

【図7】出力電流I_{out}と発光階調との関係の一例を示すグラフ。

【図8】第2実施例における表示パネル部101aとデータ線駆動回路102aの内部構成を示すブロック図。

【図9】本発明に係る表示装置を適用した電子機器の一例としてのパーソナルコンピュータの構成を示す斜視図。

【図10】本発明に係る表示装置を適用した電子機器の一例としての携帯電話の構成を示す斜視図。

【図11】本発明に係る表示装置を適用した電子機器の一例としてのデジタルスチルカメラの背面側の構成を示す斜視図。

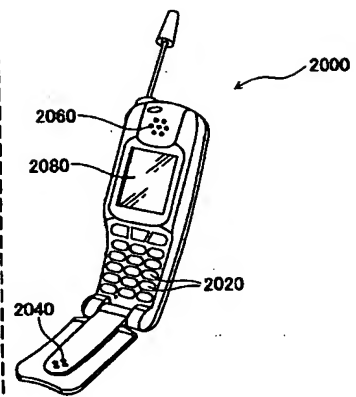
【符号の説明】

21～28…駆動トランジスタ
31…定電圧発生用トランジスタ
32…駆動トランジスタ
41～48…抵抗用トランジスタ

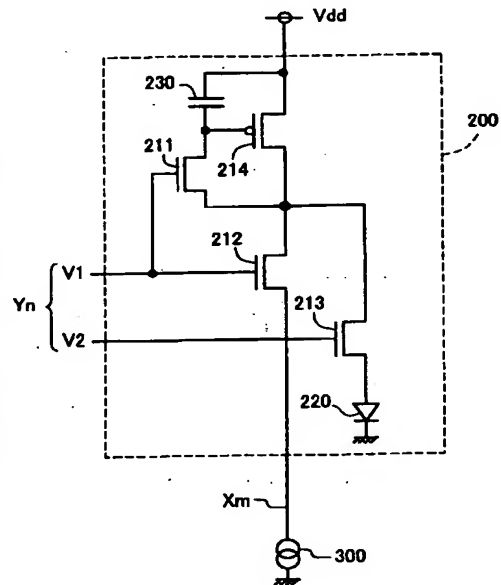
51…抵抗用トランジスタ
52…抵抗用トランジスタ
71, 72…トランジスタ
73…駆動トランジスタ
81～88…スイッチングトランジスタ
100…電気光学装置
101…表示パネル部
102…データ線駆動回路
103…走査線駆動回路
104…メモリ
105…制御回路
106…発振回路
107…電源回路
110…コンピュータ
200…画素回路
211～214…トランジスタ
220…有機EL素子
230…保持キャパシタ
300…単一ラインドライバ
301…信号入力線
302…出力信号線（データ線）
303…第1の共通ゲート線
304…第2の共通ゲート線
310…D/Aコンバータ部
320…オフセット電流生成回路
400…ゲート電圧生成回路
401…第1の配線
402…第2の配線
500…シフトレジスタ
520…スイッチングトランジスタ
1000…パーソナルコンピュータ
1020…キーボード
1040…本体部
1060…表示ユニット
2000…携帯電話
2020…操作ボタン
2040…受話口
2060…送話口
2080…表示パネル
3000…デジタルスチルカメラ
3020…ケース
3040…表示パネル
3060…受光ユニット
3080…シャッターボタン
3100…回路基板
3120…ビデオ信号出力端子
3140…入出力端子
4300…テレビモニタ
4400…パーソナルコンピュータ

THIS PAGE BLANK (USPTO)

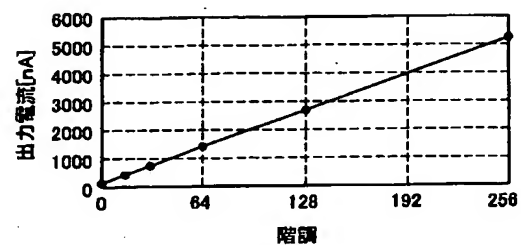
【図 10】



【図 3】

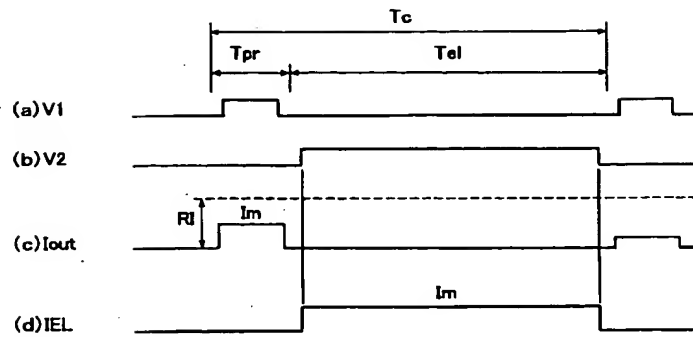


出力電流特性

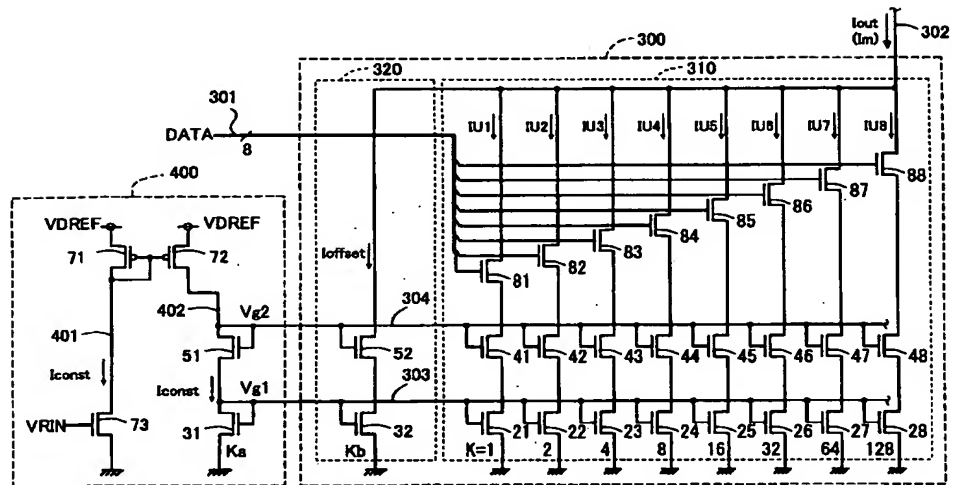


THIS PAGE BLANK (USPTO)

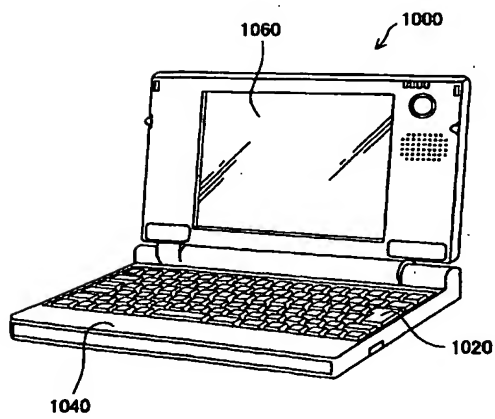
【図 4】



【図 5】



【図 9】



THIS PAGE BLANK (USPTO)

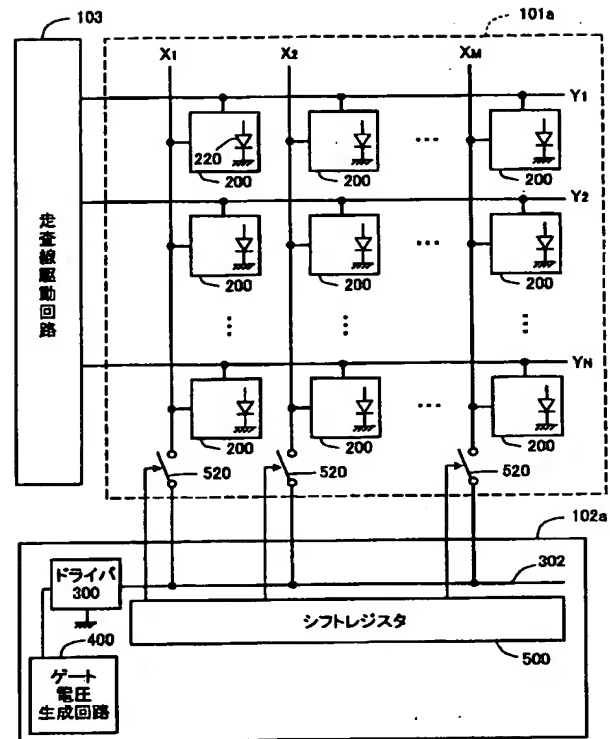
【図 8】

＜パラメータ調整によるlout変化の例＞

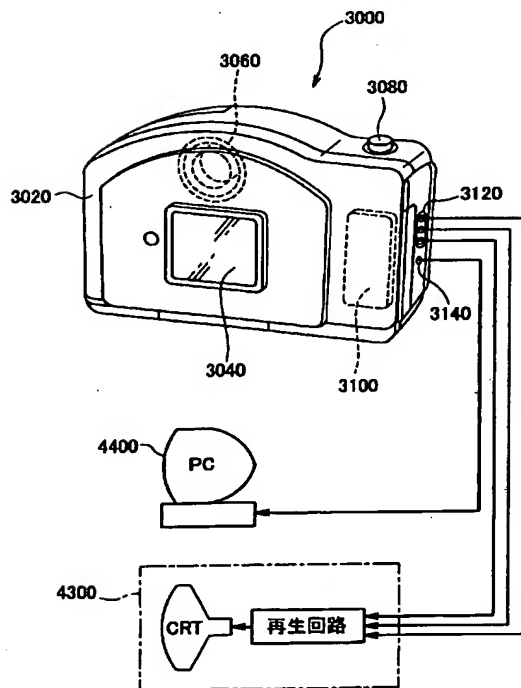
$$\left(\begin{matrix} \text{loffset} \\ =500 \end{matrix} \right)$$

Figure 1 is a line graph showing the relationship between input value (x-axis, 0 to 256) and output value (y-axis, 0 to 12000) for six different functions: G2, G3, G5, G1, and G4. The x-axis is labeled '陪调值' (Accompanying Value) and the y-axis is labeled 'out(相对值)' (Output (Relative Value)). The graph shows that as the input value increases, the output value also increases for all functions, with G2 having the steepest slope and G4 having the shallowest slope.

陪调值 (x)	G2 (y)	G3 (y)	G5 (y)	G1 (y)	G4 (y)
0	0	0	0	0	0
64	~1500	~1000	~800	~600	~400
128	~3000	~2000	~1600	~1200	~800
192	~4500	~3000	~2400	~1800	~1200
256	~6000	~4000	~3200	~2400	~1600



【図 1 1】



THIS PAGE BLANK (USPTO)

フロントページの続き

(51)Int. Cl. ⁷	識別記号	F I	テーマコード (参考)
G 0 9 G 3/20	6 2 4	G 0 9 G 3/20	6 2 4 B
	6 3 1		6 3 1 U
	6 4 1		6 4 1 D

THIS PAGE BLANK (USPTO)

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The pixel matrix by which it is an electro-optic device and the pixel containing a light emitting device was arranged in the shape of a matrix, Two or more scanning lines connected to the pixel group arranged along with the line writing direction of said pixel matrix, respectively, Two or more data lines connected to the pixel group arranged along the direction of a train of said pixel matrix, respectively, The scanning-line drive circuit for connecting with said two or more scanning lines, and choosing one line of said pixel matrix, The data signal which has a current value according to the gradation of luminescence of said light emitting device is generated. It has the data-line drive circuit which can be outputted on [of said two or more data lines] at least one data line. Said data-line drive circuit The series connection of the 1st drive transistor for generating a predetermined current and the 1st switching transistor by which ON / off control is carried out according to the control signal given from an external circuit An electro-optic device equipped with the current generation circuit of the current addition mold which has the configuration mutually connected to juxtaposition N sets (N is two or more integers), and the control-electrode signal generation circuit which generates the control-electrode signal which has predetermined signal level, and is supplied common to the control electrode of said 1st drive transistor of N individual.

[Claim 2] It is the electro-optic device to which it has the current regulator circuit which passes a current are an electro-optic device according to claim 1, and fixed to the transistor for control-electrode signal generation for said control-electrode signal generation circuit having the 1st control electrode, and generating said control-electrode signal from said 1st control electrode, and said transistor for control-electrode signal generation, and said 1st control electrode of said transistor for control-electrode signal generation and the control electrode of the 1st drive transistor of said N individual of said current generation circuit are connected mutually.

[Claim 3] It is an electro-optic device according to claim 2. Said current regulator circuit The current Miller circuit section for making said 2nd wiring generate the current value proportional to the current value which has two transistors connected to the 1st and the 2nd wiring, respectively, and was generated in the 1st wiring, The electro-optic device by which connects with said 1st wiring and said transistor for control-electrode signal generation is connected to said 2nd wiring including the 2nd drive transistor which generates a predetermined current on said 1st wiring according to the control signal given from an external circuit.

[Claim 4] It is an electro-optic device according to claim 2 or 3. Said current generation circuit Furthermore, it has the 3rd drive transistor the series connection of N group of said 1st drive transistor and said 1st switching transistor, and for offset current generating prepared in juxtaposition. The electro-optic device by which a switching transistor is not prepared between said 3rd drive transistor and said data lines, but the control electrode of said 3rd drive transistor is connected with said 1st control electrode of said transistor for control-electrode signal generation.

[Claim 5] It is the electro-optic device with which it is an electro-optic device according to claim 1 to 4, and each series connection of said 1st drive transistor and said 1st switching transistor contains the

resistance element.

[Claim 6] It is the electro-optic device said whose resistance element it is an electro-optic device according to claim 5, and is a transistor.

[Claim 7] It is an electro-optic device according to claim 1 to 6, and the relative value of the gain coefficient of the n-th transistor of the 1st drive transistor of said N individual (n is an integer from 1 to N) is 2^{n-1} . Electro-optic device with which the 1st drive transistor of said N individual is constituted so that it may become.

[Claim 8] It is the electro-optic device which is an electro-optic device according to claim 1 to 7, and drives said pixel matrix by the active-matrix driving method.

[Claim 9] It is the electro-optic device which is an electro-optic device according to claim 1 to 7, and drives said pixel matrix by the passive matrix driving method.

[Claim 10] It is a data-line drive circuit for outputting the data signal which has a current value according to the gradation of luminescence of said light emitting device to the data line connected to said pixel, in case the matrix of the pixel containing a light emitting device is driven. The series connection of the 1st drive transistor for generating a predetermined current and the 1st switching transistor by which ON / off control is carried out according to the control signal given from an external circuit A data-line drive circuit equipped with the current generation circuit of the current addition mold which has the configuration mutually connected to juxtaposition N sets (N is two or more integers), and the control-electrode signal generation circuit which generates the control-electrode signal which has predetermined signal level, and is supplied common to the control electrode of said 1st drive transistor of N individual.

[Claim 11] The current generation circuit characterized by having a current-output means to output the output current generated based on the constant current generation means, the signal input line, the outgoing end, and the reference current generated by said constant current generation means and the signal supplied to said signal input line to said outgoing end.

[Claim 12] The current generation circuit which is a current generation circuit according to claim 11, and is characterized by constituting said constant current generation means including current Miller circuit.

[Claim 13] The current generation circuit which is a current generation circuit according to claim 11 or 12, and is characterized by equipping said constant current generation means with at least one source of reference voltage, and constituting it.

[Claim 14] The current generation circuit which is a current generation circuit given in either of claims 11-13, and is characterized by constituting said current-output means including two or more 1st transistors from which a gain coefficient differs.

[Claim 15] The current generation circuit characterized by being a current generation circuit according to claim 14, and being a means to generate said output current by compounding the current to which said current-output means flows to the transistor chosen by said signal among said two or more 1st transistors.

[Claim 16] The current generation circuit which is a current generation circuit according to claim 14 or 15, and is characterized by equipping said constant current generation means with the 2nd transistor connected to the gate electrode of said 1st transistor, and constituting it.

[Claim 17] It is the current generation circuit characterized by being a current generation circuit according to claim 16, and said 2nd transistor having the function to change said reference current into the gate voltage of two or more of said 1st transistors.

[Claim 18] The current generation circuit which is a current generation circuit given in either of claims 14-17, and is characterized by having the 1st resistance addition means corresponding to at least one of said two or more of the 1st transistors between said outgoing end and said two or more 1st transistors.

[Claim 19] The current generation circuit characterized by being a current generation circuit according to claim 18, and said 1st resistance addition means being the 3rd transistor.

[Claim 20] It is the current generation circuit characterized by being a current generation circuit according to claim 19, and equipping said constant current generation means with the 4th transistor

connected with the gate electrode of said 3rd transistor.

[Claim 21] The current generation circuit which is a current generation circuit given in either of claims 11-20, and is characterized by having the offset current path as which said current-output means specifies the lower limit of said output current.

[Claim 22] It is the current generation circuit characterized by being claim 16 and a current generation circuit given in 21, and equipping said offset current path with the 5th transistor by which the gate electrode was connected to said 2nd transistor.

[Claim 23] The current generation circuit which is a current generation circuit according to claim 22, and is characterized by having the 2nd resistance addition means between said outgoing end and said 5th transistor.

[Claim 24] The current generation circuit characterized by being a current generation circuit according to claim 23, and said 2nd resistance addition means being the 6th transistor.

[Claim 25] The drive approach of the current generation circuit which is the drive approach of said current generation circuit given in either of claims 11-24, and is characterized by setting said reference current as the maximum of said output current, and the value near the middle of the minimum value.

[Claim 26] The drive approach of the current generation circuit which is the drive approach of said current generation circuit given in either of claims 22-24, and is characterized by controlling said output current by changing the gain coefficient of said 5th transistor.

[Claim 27] The electro-optics component arranged corresponding to the intersection of two or more scanning lines, two or more data lines, and said scanning line and said data line, It is the electro-optic device equipped with the data-line drive circuit which drives the scanning-line drive circuit which drives said scanning line, and said data line. The electro-optic device characterized by for said data-line drive circuit equipping either of claims 11-24 with said current generation circuit of a publication, and having a means to input the output current of said current generation circuit into said data line.

[Claim 28] The electro-optic device characterized by being an electro-optic device according to claim 27, and said electro-optics component being a current drive mold component.

[Claim 29] The electro-optic device characterized by being an electro-optic device according to claim 28, and said current drive mold component being an organic electroluminescent element.

[Claim 30] The electro-optic device which is an electro-optic device given in either of claims 27-29, and is characterized by having the memory which memorizes the data supplied to said electro-optics component, and the control circuit which supplies said scanning-line drive circuit or said data-line drive circuit by making into said signal the data read from said memory, and controls actuation of said scanning-line drive circuit and said data-line drive circuit.

[Claim 31] The electro-optic device which is an electro-optic device given in either of claims 27-30, and is characterized by having the oscillator circuit which supplies a criteria actuating signal to the predetermined circuit which constitutes the drive system concerned.

[Claim 32] Semiconductor integrated circuit equipment with which it comes to mount said current generation circuit of a publication in either of claims 11-24.

[Claim 33] Electronic equipment by which it comes to mount said electro-optic device of a publication in either of claims 27-31.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the technique which generates the programming current supplied for a setup of luminescence gradation to the pixel circuit of a light emitting device.

[0002]

[Description of the Prior Art] In recent years, the electro-optic device using an organic EL device (Organic ElectroLuminescent devices) is developed. Since an organic EL device is a spontaneous light corpuscle child and the back light is unnecessary, it is expected that a low power, a high angle of visibility, and the display of a high contrast ratio can be attained. In addition, in this specification, the "electro-optic device" means the equipment which changes an electrical signal into light. The most ordinary gestalt of an electro-optic device is a display which changes the electrical signal showing an image into the light showing an image.

[0003] In the electro-optic device of an AKUDIBU matrix drive using an organic EL device, the pixel circuit for adjusting luminescence gradation is prepared to each organic EL device. A setup of the luminescence gradation in each pixel circuit is performed by supplying the electrical-potential-difference value or current value according to luminescence gradation to a pixel circuit. The method of the method of setting up luminescence gradation being called the electrical-potential-difference programming method by the electrical-potential-difference value, and setting up luminescence gradation with a current value is called the current programming method. Here, "programming" is used as what means "a setup of luminescence gradation." By the current programming method, the current at the time of programming a pixel circuit is called a "programming current." In the electro-optic device of a current programming method, the current generation circuit which generates the programming current of the exact current value according to the gradation of luminescence, and is supplied to each pixel circuit is used to the pixel circuit of each organic EL device.

[0004]

[Problem(s) to be Solved by the Invention] By the way, it depends for the programming current value according to luminescence gradation on the configuration of a pixel circuit. On the other hand, the configuration of a pixel circuit is somewhat changed according to the design of an electro-optic device in many cases. Therefore, as a current generation circuit, a circuit which is easy to set up the range of the output current value (programming current value) was desired to compensate for the actual configuration of a pixel circuit.

[0005] This invention is made in order to solve the conventional technical problem mentioned above, and it sets it as the 1st purpose to offer the technique in which the range of the current value of a program current can be set up easily. Moreover, circuitry is simple and sets it as the 2nd purpose to offer the current generation circuit excellent in productivity or endurance, its drive approach and the electro-optic device using this, semiconductor integrated circuit equipment, and electronic equipment.

[0006]

[The means for solving a technical problem, and its operation and effectiveness] In order to attain a part

of above-mentioned purpose [at least], the 1st electro-optic device of this invention The pixel matrix by which it is an electro-optic device and the pixel containing a light emitting device was arranged in the shape of a matrix, Two or more scanning lines connected to the pixel group arranged along with the line writing direction of said pixel matrix, respectively, Two or more data lines connected to the pixel group arranged along the direction of a train of said pixel matrix, respectively, The scanning-line drive circuit for connecting with said two or more scanning lines, and choosing one line of said pixel matrix, The data signal which has a current value according to the gradation of luminescence of said light emitting device is generated. It has the data-line drive circuit which can be outputted on [of said two or more data lines] at least one data line. Said data-line drive circuit The series connection of the 1st drive transistor for generating a predetermined current and the 1st switching transistor by which ON / off control is carried out according to the control signal given from an external circuit It has the current generation circuit of the current addition mold which has the configuration mutually connected to juxtaposition N sets (N is two or more integers), and the control-electrode signal generation circuit which generates the control-electrode signal which has predetermined signal level, and is supplied common to the control electrode of said 1st drive transistor of N individual.

[0007] According to this configuration, since each current drive capacity can be set up by adjustment of the design value of the 1st drive transistor of N individual of a current generation circuit, it is possible to set up easily the range of the current value (program current value) of the data line. Moreover, since a control-electrode signal is supplied from a control-electrode signal generation circuit in common to the control electrode of the 1st drive transistor of N individual, it is possible to generate the data signal which has the stable exact current value.

[0008] In addition, said control-electrode signal generation circuit may have the 1st control electrode, and may have the transistor for control-electrode signal generation for generating said control-electrode signal from said 1st control electrode, and the current regulator circuit which passes a fixed current to said transistor for control-electrode signal generation. At this time, said 1st control electrode of said transistor for control-electrode signal generation and the control electrode of the 1st drive transistor of said N individual of said current generation circuit are connected mutually.

[0009] According to this configuration, it becomes possible to set up the range of the current value of the data line also by adjusting the design value of the fixed current value which flows to a current regulator circuit.

[0010] The current Miller circuit section for making said 2nd wiring generate the current value proportional to the current value which said current regulator circuit has two transistors connected to the 1st and the 2nd wiring, respectively, and was generated in the 1st wiring, It may connect with said 1st wiring, and including the 2nd drive transistor which generates a predetermined current on said 1st wiring according to the control signal given from an external circuit, it may be constituted as said transistor for control-electrode signal generation is connected to said 2nd wiring.

[0011] According to this configuration, it becomes possible also the configuration of the current Miller circuit section, and by adjusting the design value of the current drive capacity of the 2nd drive transistor to set up the range of the current value of the data line.

[0012] Said current generation circuit has further the 3rd drive transistor the series connection of N group of said 1st drive transistor and said 1st switching transistor, and for offset current generating prepared in juxtaposition. A switching transistor may not be prepared between said 3rd drive transistor and said data lines, but it may be constituted as the control electrode of said 3rd drive transistor is connected with said 1st control electrode of said transistor for control-electrode signal generation.

[0013] According to this configuration, since offset can be prepared in the relation between the luminescence gradation of a light emitting device, and the current value of the data line, it becomes possible to set the current value of the data line as the desirable range.

[0014] Each series connection of said 1st drive transistor and said 1st switching transistor may contain the resistance element.

[0015] According to this configuration, the noise of a data signal can be reduced.

[0016] In addition, said resistance element is a transistor.

[0017] The relative value of the gain coefficient of the n-th transistor of the 1st drive transistor of said N individual (n is an integer from 1 to N) is $2n-1$. The 1st drive transistor of said N individual may be constituted so that it may become.

[0018] According to this configuration, the range of the current value of a data signal is widely securable.

[0019] In addition, said pixel matrix may be driven by the active-matrix driving method. Or said pixel matrix may be driven by the passive matrix driving method.

[0020] The current generation circuit by this invention is characterized by having a current-output means to output the output current generated based on the constant current generation means, the signal input line, the outgoing end, and the reference current generated by said constant current generation means and the signal supplied to said signal input line to said outgoing end.

[0021] It has the description which was excellent in the various kinds of this current generation circuit having simple circuitry, and excelling in productivity or endurance.

[0022] In addition, said constant current generation means may be constituted including current Miller circuit.

[0023] Moreover, said constant current generation means is equipped with at least one source of reference voltage, and may be constituted.

[0024] Said current-output means may be constituted including two or more 1st transistors from which a gain coefficient differs.

[0025] It is good though said current-output means is a means to generate said output current by compounding the current which flows to the transistor chosen by said signal among said two or more 1st transistors.

[0026] It is good also as what is constituted by equipping said constant current generation means with the 2nd transistor connected to the gate electrode of said 1st transistor.

[0027] Said 2nd transistor is good also as having the function to change said reference current into the gate voltage of two or more of said 1st transistors.

[0028] It is good also as having the 1st resistance addition means corresponding to at least one of said two or more of the 1st transistors between said outgoing end and said two or more 1st transistors.

[0029] It is good also as said 1st resistance addition means being the 3rd transistor.

[0030] Said constant current generation means is good also as having the 4th transistor connected with the gate electrode of said 3rd transistor.

[0031] It is good also as said current-output means being equipped with the offset current path which specifies the lower limit of said output current.

[0032] Said offset current path is good also as having the 5th transistor by which the gate electrode was connected to said 2nd transistor.

[0033] It is good also as having the 2nd resistance addition means between said outgoing end and said 5th transistor.

[0034] It is good also as said 2nd resistance addition means being the 6th transistor.

[0035] It is good also as setting said reference current as the maximum of said output current, and the value near the middle of the minimum value.

[0036] It is good also as controlling said output current by changing the gain coefficient of said 5th transistor.

[0037] The 2nd electro-optic device by this invention Two or more scanning lines and two or more data lines, The electro-optics component arranged corresponding to the intersection of said scanning line and said data line, It is the electro-optic device equipped with the data-line drive circuit which drives the scanning-line drive circuit which drives said scanning line, and said data line, and it has one of the current generation circuits which said data-line drive circuit mentioned above, and has a means to input the output current of said current generation circuit into said data line.

[0038] It is good also as said electro-optics component being a current drive mold component.

[0039] Moreover, it is good also as said current drive mold component being an organic electroluminescent element.

[0040] In addition, this invention can be realized with various gestalten, for example, can be realized with gestalten, such as a computer program for realizing the drive approach of the electro-optic device equipped with a data-line drive circuit and its data-line drive circuit, a display, the electronic instruments equipped with the electro-optic device and display, and those equipments, and the function of the approach, a record medium which recorded the computer program, and a data signal embodied in the subcarrier including the computer program.

[0041]

[Embodiment of the Invention] Next, the gestalt of operation of this invention is explained in order of the following based on an example.

A. equipment whole configuration: -- B. 1st example: -- C. 2nd example: -- example [to D. electronic equipment] of application: -- E. modification [0042] A. The whole equipment configuration : drawing 1 is the block diagram showing the circuitry of the electro-optic device 100 as one example of this invention. The display-panel section 101 (it is also called a "pixel field") by which, as for this electro-optic device 100, the light emitting device has been arranged in the shape of a matrix, The data-line drive circuit 102 which drives the data line of the display-panel section 101, The scanning-line drive circuit 103 (it is also called a "gate driver") which drives the scanning line (it is also called a "gate line") of the display-panel section 101, It has the memory 104 which memorizes the indicative data supplied from a computer 110, the oscillator circuit 106 which supplies a criteria actuating signal to other components, the power circuit 107, and the control circuit 105 for controlling each component in an electro-optic device 100.

[0043] Each components 101-107 of an electro-optic device 100 may be constituted as components by which it may be constituted with the components (for example, semiconductor integrated circuit equipment of one chip) with which each became independent or with which all or some of each components 101-107 were united. For example, the data-line drive circuit 102 and the scanning-line drive circuit 103 may be constituted by the display-panel section 101 in one. Moreover, all or some of components 102-106 may consist of programmable IC chips, and the function may be realized by software by the program written in IC chip.

[0044] Drawing 2 shows the internal configuration of the display-panel section 101 and the data-line drive circuit 102. The display-panel section 101 has two or more pixel circuits 200 arranged in the shape of a matrix, and each pixel circuit 200 has the organic EL device 220, respectively. Two or more data lines X_m ($m=1-M$) extended along the direction of a train and two or more scanning lines Y_n ($n=1-N$) extended along with a line writing direction are connected to the matrix of the pixel circuit 200, respectively. In addition, the data line is also called a "source line" and the scanning line is also called a "gate line." Moreover, on these specifications, the pixel circuit 200 is also called a "unit circuit" or a "pixel." The transistor in the pixel circuit 200 usually consists of TFT(s).

[0045] The scanning-line drive circuit 103 is driven alternatively [one] in two or more scanning lines Y_n , and chooses the pixel circuit group for one line. The data-line drive circuit 102 has two or more single line drivers 300 and gate voltage generation circuits 400 for driving each data line X_m , respectively. The gate voltage generation circuit 400 supplies the gate control signal which has a predetermined electrical-potential-difference value to the single line driver 300. About the internal configuration of the gate voltage generation circuit 400 and the single line driver 300, it mentions later.

[0046] The single line driver 300 supplies a data signal to the pixel circuit 200 through each data line X_m . If the internal state (it mentions later) of the pixel circuit 200 is set up according to this data signal, the current value which flows to an organic EL device 220 according to this will be controlled, consequently the gradation of luminescence of an organic EL device 220 will be controlled.

[0047] A control circuit 105 (drawing 1) is changed into the matrix data showing the gradation of luminescence of each organic EL device 220 by the indicative data (image data) showing the display condition of the display-panel section 101. Matrix data include the scanning-line driving signal for making sequential selection of the pixel circuit group for one line, and the data-line driving signal which shows the level of the data-line signal which supplies the organic EL device 220 of the selected pixel circuit group. A scanning-line driving signal and a data-line driving signal are supplied to the scanning-

line drive circuit 103 and the data-line drive circuit 102, respectively. A control circuit 105 performs timing control of the drive timing of the scanning line and the data line again.

[0048] Drawing 3 is the circuit diagram showing the internal configuration of the pixel circuit 200. This pixel circuit 200 is a circuit arranged at the intersection of the m-th data line X_m and the n-th scanning line Y_n . In addition, the scanning line Y_n contains the two sub scanning lines V1 and V2.

[0049] The pixel circuit 200 is a current program circuit which adjusts the gradation of an organic EL device 220 according to the current value which flows to the data line X_m . Specifically, this pixel circuit 200 has four transistors 211-214 and maintenance capacitors 230 (it is also called a "maintenance capacitor" or a "storage capacitor") other than an organic EL device 220. The maintenance capacitor 230 is for holding the charge according to the data signal supplied through the data line X_m , and adjusting the gradation of luminescence of an organic EL device 220 by this. If it puts in another way, the maintenance capacitor 230 will hold the electrical potential difference according to the current which flows to the data line X_m . The 1st thru/or the 3rd transistor 211-213 are the n channel molds FET, and the 4th transistor 214 is the p channel mold FET. Since an organic EL device 220 is a light emitting device of the same current impregnation mold (current drive mold) as a photodiode, it is drawn with the notation of diode here.

[0050] The source of the 1st transistor 211 is looked like [the drain of the 2nd transistor 212, the drain of the 3rd transistor 213, and the drain of the 4th transistor 214], and is connected with them, respectively. The drain of the 1st transistor 211 is connected to the gate of the 4th transistor 214. The maintenance capacitor 230 is connected between the source of the 4th transistor 214, and the gate. Moreover, the source of the 4th transistor 214 is connected also to the power-source potential Vdd.

[0051] The source of the 2nd transistor 212 is connected to the single line driver 300 (drawing 2) through the data line X_m . The organic EL device 220 is connected between the source of the 3rd transistor 213, and touch-down potential.

[0052] The gate of the 1st and the 2nd transistor 211,212 is connected to the 1st sub scanning line V1 in common. Moreover, the gate of the 3rd transistor 213 is connected to the 2nd sub scanning line V2.

[0053] The 1st and the 2nd transistor 211,212 are switching transistors used in case a charge is accumulated in the maintenance capacitor 230. The 3rd transistor 213 is a switching transistor maintained at an ON state in the luminescence period of an organic EL device 220. Moreover, the 4th transistor 214 is a drive transistor for controlling the current value which flows to an organic EL device 220. The current value of the 4th transistor 214 is controlled by the amount of charges (the amount of stored charge) held at the maintenance capacitor 230.

[0054] Drawing 4 is a timing chart which shows actuation of the pixel circuit 200. Here, the electrical-potential-difference value ("the 1st gate signal V1" is called hereafter) of the 1st sub scanning line V1, the electrical-potential-difference value ("the 2nd gate signal V2" is called hereafter) of the 2nd sub scanning line V2, and the current value I_{out} of the data line X_m ("data signal I_{out} " is called) and the current value I_{EL} which flows to an organic EL device 220 are shown.

[0055] The drive period T_c is divided into the programming period T_{pr} and the luminescence period T_{el} . Here, "the drive period T_c " means the period updated by a unit of 1 time, and the gradation of luminescence of all the organic EL devices 220 in the display-panel section 101 of it is the same as that of the so-called frame period. Renewal of gradation is performed for every pixel circuit group for one line, and renewal of sequential of the gradation of the pixel circuit group for N line is carried out between the drive periods T_c . For example, when the gradation of all pixel circuits is updated by 30Hz, the drive period T_c is about 33ms.

[0056] The programming period T_{pr} is a period which sets up the gradation of luminescence of an organic EL device 220 in the pixel circuit 200. On these specifications, a setup of the gradation to the pixel circuit 200 is called "programming." For example, the drive period T_c is about 33ms, and when the total N of the scanning line Y_n is 480, the programming period T_{pr} becomes below about 69 microseconds (= 33ms/480).

[0057] In the programming period T_{pr} , first, the 2nd gate signal V2 is set as L level, and the 3rd transistor 213 is maintained at an OFF state (closed state). Next, on the data line X_m , the 1st gate signal

V1 is set as H level for the current value I_m according to luminescence gradation with a sink, and the 1st and the 2nd transistor 211,212 are made into an ON state (open condition). At this time, the single line driver 300 (drawing 2) of this data line X_m functions as a constant current source which passes the fixed current value I_m according to luminescence gradation. This current value I_m is set as the value according to the gradation of luminescence of an organic EL device 220 [in the range R_I of a predetermined current value] as shown in drawing 4 (c).

[0058] The charge corresponding to the current value I_m which flows the 4th transistor 214 (drive transistor) is held at the maintenance capacitor 230. Consequently, between the source/gate of the 4th transistor 214, the electrical potential difference memorized by the maintenance capacitor 230 is impressed. In addition, on these specifications, the current value I_m of the data signal used for programming is called "the programming current value I_m ."

[0059] After programming is completed, the scanning-line drive circuit 103 sets the 1st gate signal V1 as L level, and makes the 1st and the 2nd transistor 211,212 an OFF state, and the data-line drive circuit 102 is data signal I_{out} . It stops.

[0060] In the luminescence period T_{el} , maintaining the 1st gate signal V1 on L level, and maintaining the 1st and the 2nd transistor 211,212 at an OFF state, the 2nd gate signal V2 is set as H level, and the 3rd transistor 213 is set as an ON state. Since the electrical potential difference corresponding to the programming current value I_m is beforehand memorized by the maintenance capacitor 230, to it, the almost same current as the programming current value I_m flows at the 4th transistor 214. Therefore, the current almost same also to an organic EL device 220 as the programming current value I_m flows, and light is emitted with the gradation according to this current value I_m . Thus, the pixel circuit 200 of the type with which the electrical potential difference (namely, charge) of the maintenance capacitor 230 is written in by the current value I_m is called the "current program circuit."

[0061] B. The 1st example : drawing 5 is the circuit diagram showing the internal configuration of the single line driver 300 and the gate voltage generation circuit 400. The single line driver 300 has the 8-bit D/A converter section 310 and the offset current generation circuit 320.

[0062] As for the D/A converter section 310, eight currents Rhine IU1-IU8 is connected to juxtaposition. In 1st current Rhine IU 1, the switching transistor 81, the transistor 41 for resistance which functions as a kind of resistance elements, and the drive transistor 21 which functions as a constant current source which passes a predetermined current are connected to the serial between the data line 302 and touch-down potential. It has the configuration with the same said of other current Rhine IU2-IU8. In the example of drawing 5 , three kinds of these transistors 81-88, 41-48, and 21-28 are all the n channel molds FET. The gate of eight drive transistors 21-28 is connected to the 1st common gate line 303 in common. Moreover, the gate of eight transistors 41-48 for resistance is connected to the 2nd common gate line 304 in common. Each 8-bit bit of gradation data DAT A given from a control circuit 105 (drawing 1) through the signal input line 301 is inputted into each gate of eight switching transistors 81-88.

[0063] the ratio of the gain coefficient beta of eight drive transistors 21-28 -- K is set as 1:2:4:8:16:32:64: [128] . That is, the relative value K of the gain coefficient beta of the n-th drive transistor ($n = 1 - N$) is 2^{n-1} . It is set up. Here, a gain coefficient beta is defined by $\beta = K \beta_0 = (\mu C_0 W/L)$ as known well. Here, K is a relative value and β_0 is a predetermined constant and μ are the mobility of a carrier, and C_0 . Channel width and L of gate capacitance and W are channel length. Several N_s of a drive transistor are two or more integers. In addition, several N_s of this drive transistor are unrelated to the number of the scanning lines Y_n .

[0064] Eight drive transistors 21-28 function as a constant current source. Since the current drive capacity of a transistor is proportional to a gain coefficient beta, the ratio of the current drive capacity of eight drive transistors 21-28 is 1:2:4:8:16:32:64: [128] . If it puts in another way, the relative value K of the gain coefficient of each drive transistors 21-28 is set as the value matched with the weight of each bit of gradation data DAT A, respectively.

[0065] In addition, the current drive capacity of the transistors 41-48 for resistance is usually set as the value beyond the current drive capacity of each corresponding drive transistors 21-28. Therefore, the

current drive capacity of each current Rhine IU1-IU8 is determined by the drive transistors 21-28. In addition, the transistors 41-48 for resistance have the function as a noise filter to remove the noise of a current value.

[0066] The offset current generation circuit 320 has the configuration in which the transistor 52 for resistance and the drive transistor 32 were connected to the serial between the data line 302 and touch-down potential. The gate of the drive transistor 32 is connected to the 1st common gate line 303, and the gate of the transistor 52 for resistance is connected to the 2nd common gate line 304. The relative value of the gain coefficient beta of the drive transistor 32 is K_b . In addition, in the offset current generation circuit 320, a switching transistor is not prepared between the drive transistor 32 and the data line 302, but it differs from each current Rhine in the D/A converter section 310 at this point.

[0067] Current Rhine Ioffset of the offset current generation circuit 320 is connected to current Rhine IU1-IU8 and juxtaposition of eight of the D/A converter section 310. Therefore, the sum total of a current which flows these nine currents Rhine Ioffset, and IU1-IU8 is outputted on the data line 302 as a programming current. That is, the single line driver 310 is the current generation circuit of a current addition mold. In addition, below, it is used also as a sign which shows the current which flows them in the sign Ioffset which shows each current Rhine, and IU1-IU8.

[0068] The gate voltage generation circuit 400 contains the current Miller circuit section which consisted of two transistors 71 and 72. The gates of two transistors 71 and 72 are connected mutually, and the 1st gate and drain of a transistor 71 are also connected mutually. One [each] terminal (source) of two transistors 71 and 72 is the power-source potential VDREF for gate voltage generation circuit 400. It connects. The drive transistor 73 is connected to the serial on the 1st wiring 401 between the other-end child (drain) of the 1st transistor 71, and touch-down potential. The control signal VRIN which has a predetermined voltage level from a control circuit 105 is inputted into the gate of the drive transistor 73. On the 2nd wiring 402 between the other-end child (drain) of the 2nd transistor 72, and touch-down potential, the transistor 51 for resistance and the transistor 31 (it is also called "the transistor for control-electrode signal generation") for constant-voltage generating are connected to the serial. The relative value of the gain coefficient beta of the transistor 31 for constant-voltage generating is K_a .

[0069] the gate and the drain of the transistor 31 for constant-voltage generating are connected mutually -- having -- **** -- these -- the single line driver 300 -- it connects with the 1st common gate line 303. moreover, the gate and the drain of the transistor 51 for resistance are also connected mutually -- having -- **** -- these -- the single line driver 300 -- it connects with the 2nd common gate line 304.

[0070] In addition, two transistors 71 and 72 which constitute the current Miller circuit section consist of p channel molds FET, and other transistors are constituted from the example of drawing 5 by the n channel mold FET.

[0071] Fixed reference current [top / 1st wiring 401] Iconst according to the voltage level of this control signal VRIN if the control signal VRIN of a predetermined voltage level is inputted into the gate of the drive transistor 73 of the gate voltage generation circuit 400 It generates. Since the current Miller circuit section is constituted, two transistors 71 and 72 are the reference current Iconst same also on the 2nd wiring 402. It flows. However, the current which flows to two wiring 401, 402 does not need to be the same, and, generally it is the reference current Iconst of the 1st wiring 401 on the 2nd wiring 402. The 1st and the 2nd transistor 71 and 72 should just be constituted so that a proportional current may flow.

[0072] Between the gate/drain of two transistors 31 and 51 on the 2nd wiring 402, it is this current Iconst. The predetermined gate voltage V_{g1} and V_{g2} to which it responded occurs, respectively. The 1st gate voltage V_{g1} is impressed through the 1st common gate line 303 common to the gate of nine drive transistors 32, 21-28 in the single line driver 300. Moreover, the 2nd gate voltage V_{g2} is impressed through the 2nd common gate line 304 common to the gate of nine transistors 52, 41-48 for resistance.

[0073] Each current Rhine Ioffset and the current drive capacity of IU1-IU8 are determined by the gain coefficient beta and applied voltage of each drive transistors 32, 21-28. Therefore, to each current Rhine Ioffset of the single line driver 300, and IU1-IU8, the current value proportional to the relative value K of the gain coefficient beta of each drive transistor may flow according to gate voltage V_{g1} . If 8-bit

gradation data DAT A is given from a control circuit 105 through the signal input line 301 at this time, according to the value of each bit of this gradation data DAT A, eight switching transistors 81-88 will be turned on/off controlled. Consequently, the programming current I_m which has a current value according to the value of gradation data DAT A is outputted on the data line 302.

[0074] In addition, since this single line driver 300 has the offset current generation circuit 320, the value and the programming current I_m of gradation data DAT A have not the perfect proportionality passing through a zero but offset. Since the degree of freedom of a setup of the range of a programming current value increases by establishing such offset, there is an advantage that a programming current value can be easily set as the desirable range.

[0075] Drawing 6 is the output current I_{out} of the data-line drive circuit 102. It is the explanatory view showing Example 1 of relation with the value (gradation value) of gradation data DAT A - Example 5. Standard Example 1, Example 2 at the time of changing the following four parameters, respectively - Example 5 are shown in the table of drawing 6 (a).

(1) VRIN : the electrical-potential-difference value of the gate signal of the drive transistor 73 of the gate voltage generation circuit 400.

(2) VDREF : supply voltage of the current Miller circuit section of the gate voltage generation circuit 400.

(3) Ka : the relative value of the gain coefficient beta of the transistor 31 for constant-voltage generating of the gate voltage generation circuit 400.

(4) Kb : the relative value of the gain coefficient beta of the drive transistor 32 of the offset current generation circuit 320.

[0076] Drawing 6 (b) shows the relation of drawing 6 (a) to a graph. In addition, Example 1 made into the "criterion" is an example at the time of setting each parameter as a predetermined certified value. Example 2 is an example at the time of setting the electrical potential difference VRIN of the drive transistor 73 as a high value rather than Example 1 which is a criterion. Example 3 is an example at the time of setting the supply voltage VDREF of the current Miller circuit section as a high value rather than Example 1 which is a criterion. Example 4 is an example which set only the relative value Ka of the gain coefficient beta of the transistor 31 for constant-voltage generating as the big value rather than Example 1 which is a criterion. Example 5 is an example which set only the relative value Kb of the gain coefficient beta of the drive transistor 32 as the big value rather than Example 1 which is a criterion.

[0077] It is the output current I_{out} as shown in these tables and graphs. A value changes according to each parameters VRIN and VDREF, and Ka and Kb. Therefore, the range of the current value used for control of luminescence gradation can be changed by changing one or more values of these parameters. In addition, each parameters VRIN and VDREF and the value of Ka and Kb are set up by adjusting the design value of the circuit part relevant to each. By the circuitry shown in drawing 5, each of four parameters VRIN and VDREF, and Ka(s) and Kb(s) are the output current I_{out} . Since the range is affected, it is the output current I_{out} . There is an advantage that the degree of freedom at the time of setting up the range is high, and it can be easily set as the range of arbitration.

[0078] By the way, the output current I_{out} Reference current I_{const} in the gate voltage generation circuit 400 It is proportional. Therefore, reference current I_{const} It is determined according to the range of the current value required of the output current I_{out} (namely, programming current I_m). Under the present circumstances, reference current I_{const} About a value, it is the output current I_{out} . If it sets up near the both ends of the range of the current value which are required by carrying out, depending on the engine performance of passive circuit elements, it is reference current I_{const} . Small variation (error) is the output current I_{out} . There is a possibility of producing big variation (error). Therefore, the output current I_{out} In order to reduce an error, it is the output current I_{out} about the value of reference current I_{const} . It is desirable to set it as the maximum of the range of a current value and the value near the middle of the minimum value. Here, about **10% of range of the average (namely, median) of maximum and the minimum value is meant "near the middle of maximum and the minimum value."

[0079] Drawing 7 is the output current I_{out} . It is the graph which shows an example of relation with luminescence gradation. In order to express 256 gradation to 0-255 in this example, it is the output

current I_{out} of the range of $0nA$ - $5000nA$. It is used. At this time, it is reference current I_{const} . As for a value, it is desirable to set it as $2500nA$ extent which is that mean value.

[0080] In addition, it sets in the circuit of drawing 5 and is reference current I_{const} . The output current I_{out} corresponding to the median (= 128) of gradation for a value What is necessary is just to set the relative value K_a of the gain coefficient β of the transistor 31 for constant-voltage generating as a value (= 128) equal to the median of gradation, in order to set up equally to a value.

[0081] As explained above, the data-line drive circuit 102 of the 1st example has the advantage that the range of the output current I_{out} (programming current I_m) can be adjusted to arbitration, by changing the design value of one or more parameters into arbitration. Moreover, since this circuit 102 has the very simple configuration, it has the advantage of excelling also in endurance or productivity.

[0082] C. The 2nd example : drawing 8 shows the internal configuration of display-panel section 101a in the 2nd example, and data-line drive circuit 102a. In this indicating equipment, one single line driver 300, and a shift register 500 and ** are prepared instead of two or more single line drivers 300 which can be set in the configuration of drawing 2. Moreover, the switching transistor 520 is formed in each data line of display-panel section 101a. One terminal of a switching transistor 520 is connected to each data line X_m , and the other-end child is connected to the output signal line 302 of the single line driver 300 in common. The shift register 500 supplies ON / off control signal to the switching transistor 520 of each data line X_m , and makes sequential selection of every one data line X_m by this.

[0083] The pixel circuit 200 is updated by point sequential in this display. That is, only one pixel circuit 200 which exists in the intersection of the gate line Y_n chosen in the scanning-line drive circuit 103, the data line X_m chosen with the shift register 500, and ** is updated by one programming. for example, one sequential programming is performed at a time about the pixel circuit 200 of M individual chosen by the n -th gate line Y_n , and every one pixel circuit 200 of M individual on the gate line of eye watch $(n+1)$ of a degree is programmed after the termination. On the other hand, in the 1st example mentioned above, it is the point that the pixel circuit group for one line was programmed by coincidence (namely, line sequential), and the display and actuation which were shown in drawing 8 differ from each other.

[0084] the display of drawing 8 -- like -- a dot order -- also when programming the pixel circuit 200 next, it is possible to generate the output current I_{out} of the current range of desired (programming current I_m) using the same single line driver 300 as the 1st example mentioned above and the gate voltage generation circuit 400.

[0085] D. The example of application to electronic equipment : the indicating equipment using an organic EL device is applicable to the personal computer of a mobile mold, a cellular phone, and various electronic instruments, such as a digital still camera.

[0086] Drawing 9 is the perspective view showing the configuration of the personal computer of a mobile mold. The personal computer 1000 is equipped with the body section 1040 equipped with the keyboard 1020, and the display unit 1060 using an organic EL device.

[0087] Drawing 10 is the perspective view of a cellular phone. This cellular phone 2000 is equipped with two or more manual operation buttons 2020, the ear piece 2040, the speaker 2060, and the display panel 2080 that used the organic EL device.

[0088] Drawing 11 is the perspective view showing the configuration of the digital still camera 3000. In addition, it is shown in [connection / with an external instrument] simple. The digital still camera 3000 generates an image pick-up signal for the light figure of a photographic subject by the photo electric conversion of image sensors, such as CCD (Charge Coupled Device), to the usual camera exposing a film according to the light figure of a photographic subject. Here, the display panel 3040 which used the organic EL device is formed in the tooth back of the case 3020 of the digital still camera 3000, and a display is performed based on the image pick-up signal by CCD. For this reason, a display panel 3040 functions as FAIDA which displays a photographic subject. Moreover, the light-receiving unit 3060 containing an optical lens, CCD, etc. is formed in the case 3020 observation-side (setting to drawing rear-face side).

[0089] Here, when a photography person checks the photographic subject image displayed on the display panel 3040 and does the depression of the shutter carbon button 3080, the image pick-up signal

of CCD at the time is transmitted and stored at the memory of the circuit board 3100. Moreover, if it is in this digital still camera 3000, the video signal output terminal 3120 and the input/output terminal 3140 for data communication are formed in the side face of a case 3020. And as shown in drawing, a personal computer 4400 is connected to the input/output terminal 3140 for the latter data communication for a television monitor 4300 again at the former video signal output terminal 3120 if needed, respectively. Furthermore, the image pick-up signal stored in the memory of the circuit board 3100 is outputted to a television monitor 4300 and a personal computer 4400 by predetermined actuation.

[0090] In addition, as electronic equipment, the personal computer of drawing 9, the device equipped with the video tape recorder of television, a viewfinder mold, or a monitor direct viewing type, the car navigation equipment, the pager, the electronic notebook, the calculator, the word processor, the workstation, the TV phone, POS terminal, and touch panel other than the cellular phone of drawing 10 and the digital still camera of drawing 11, etc. can be mentioned. The above-mentioned display using the organic EL device as a display of these electronic equipment of various kinds of is applicable.

[0091] E. modification: -- the range which this invention is not restricted to an above-mentioned example or an above-mentioned operation gestalt, and does not deviate from that summary in addition -- setting -- various voice -- it is possible to set like and to carry out, for example, the following deformation is also possible.

[0092] E1: Although the transistors 52, 41-48 for resistance were connected to the drive transistors 32, 21-28 in the example shown in drawing 5, it is also possible to replace the transistors 52, 41-48 for resistance with other resistance elements (resistance addition means). Moreover, what is necessary is to not necessarily connect with no drive transistors 32, 21-28, and just to prepare such a resistance element if needed.

[0093] E2: It is also possible to omit the part of the circuitry of drawing 5. For example, the offset current generation circuit 320 may be omitted. However, if the offset current generation circuit 320 is formed, since the degree of freedom of a setup of the range of a programming current value will increase, there is an advantage of being easy to set a programming current value as the desirable range.

[0094] E3: In the example mentioned above, it is also possible to replace a part or all transistors by the switching element of a bipolar transistor, a thin-film diode, etc. and other classes. The gate electrode of FET and the base electrode of a bipolar transistor are equivalent to the "control electrode" of this invention.

[0095] E4: Although the display-panel section 101 should have 1 set of pixel circuit matrices in each example mentioned above, it is good also as that in which the display-panel section 101 has two or more sets of pixel circuit matrices. For example, in case a large-sized panel is constituted, the display-panel section 101 is classified into two or more adjoining fields, and you may make it establish 1 set of pixel circuit matrices for every field, respectively. Moreover, you may make it establish 3 sets of pixel circuit matrices equivalent to three colors of RGB in the one display-panel section 101. When two or more pixel circuit matrices exist, it is possible to apply the example mentioned above for every matrix.

[0096] E5: Although the programming period T_{pr} and the luminescence period T_{el} were divided in the pixel circuit used in each example mentioned above as shown in drawing 5, it is also possible to use a pixel circuit in which the programming period T_{pr} falls on a part of luminescence period T_{el} . To such a pixel circuit, programming is performed in early stages of the luminescence period T_{el} , the gradation of luminescence is set up, and luminescence continues with the set-up gradation after that. It is possible to apply the data-line drive circuit mentioned above also about the equipment using such a pixel circuit.

[0097] E6: Although each example mentioned above explained the example of the display which used the organic EL device, this invention is applicable also to the display and electronic instrument which used light emitting devices other than an organic EL device. For example, it is applicable also to the equipment which has the light emitting devices (LED, FED (Field Emission Display), etc.) of other classes which can adjust the gradation of luminescence according to a drive current.

[0098] E7: This invention is applicable also to the circuit and equipment which are driven by the passive driving method have neither the circuit driven by the active driving method for having a pixel circuit, nor not only equipment but a pixel circuit.

[Translation done.]

THIS PAGE BLANK (USPTO)

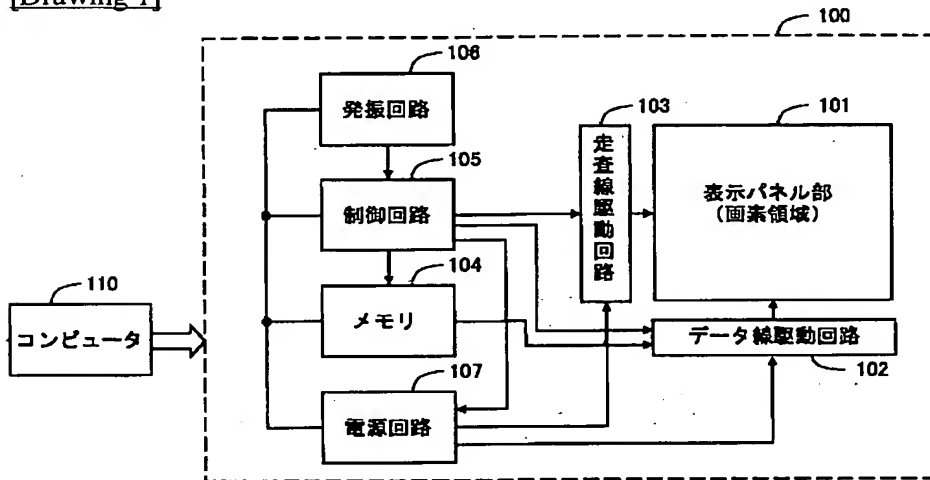
* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

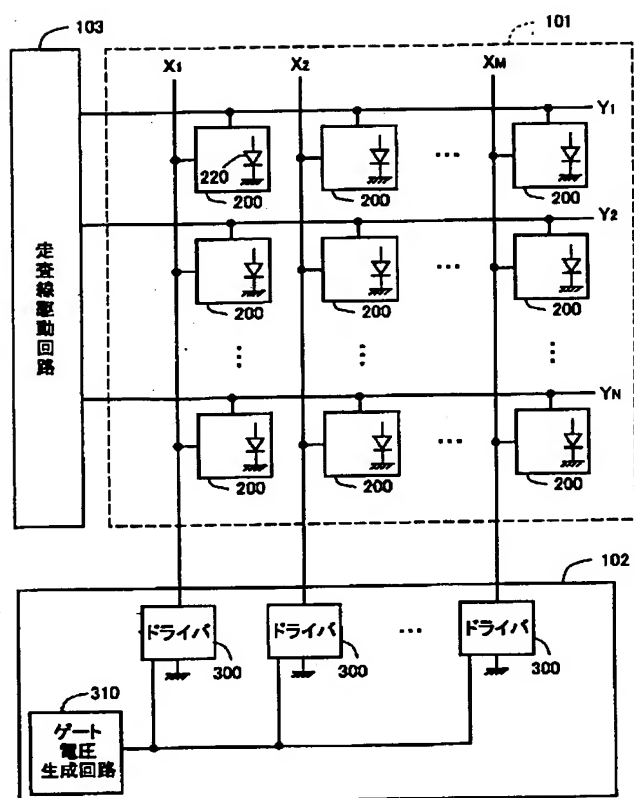
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

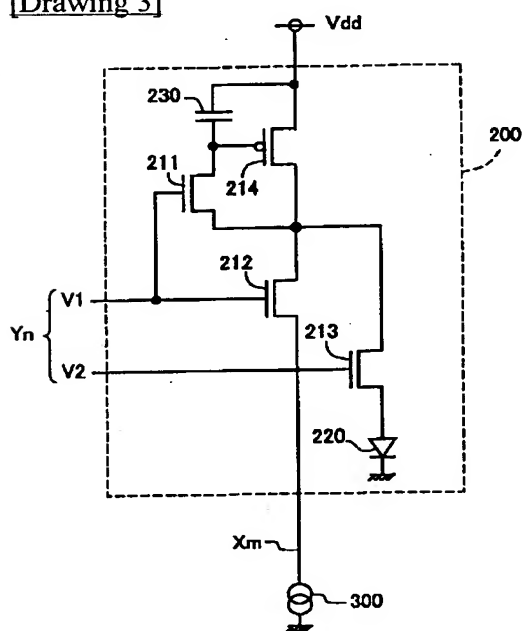
[Drawing 1]



[Drawing 2]

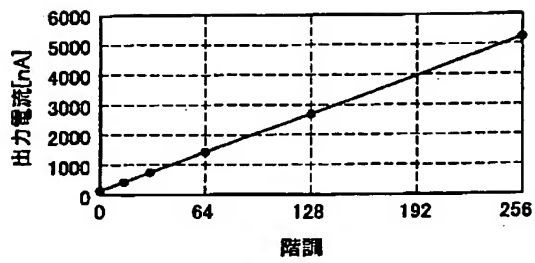


[Drawing 3]

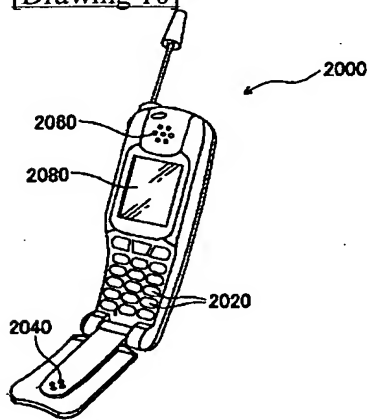


[Drawing 7]

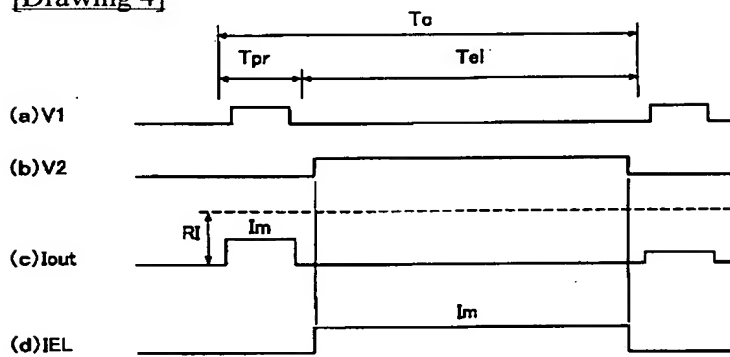
出力電流特性



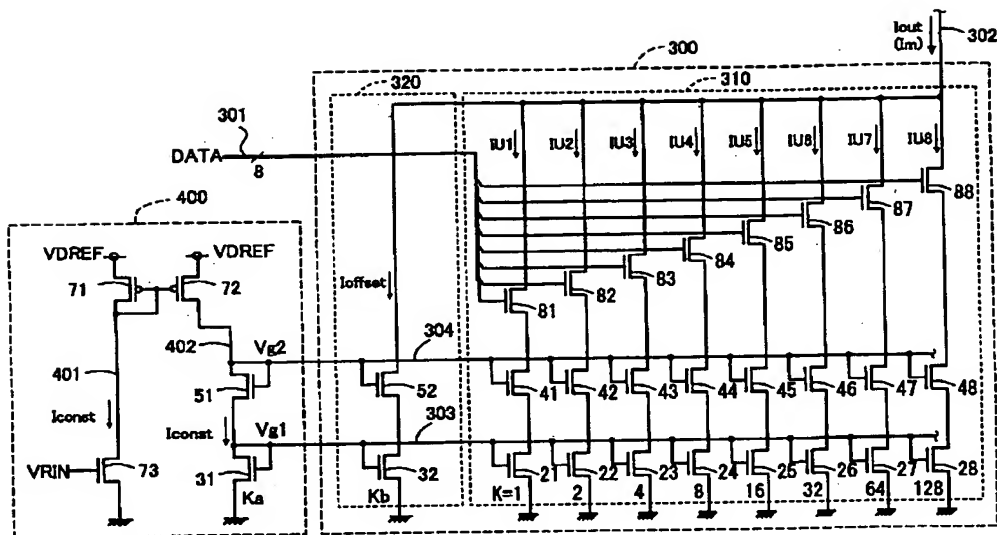
[Drawing 10]



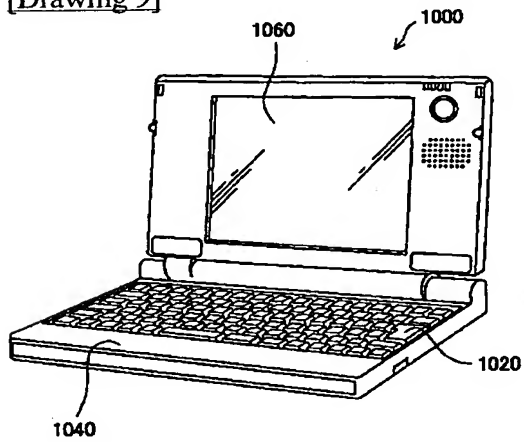
[Drawing 4]



[Drawing 5]



[Drawing 9]



[Drawing 6]

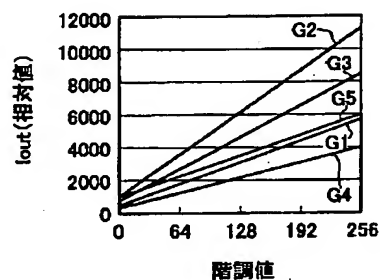
(a)

＜パラメータ調整による I_{out} 変化の例＞

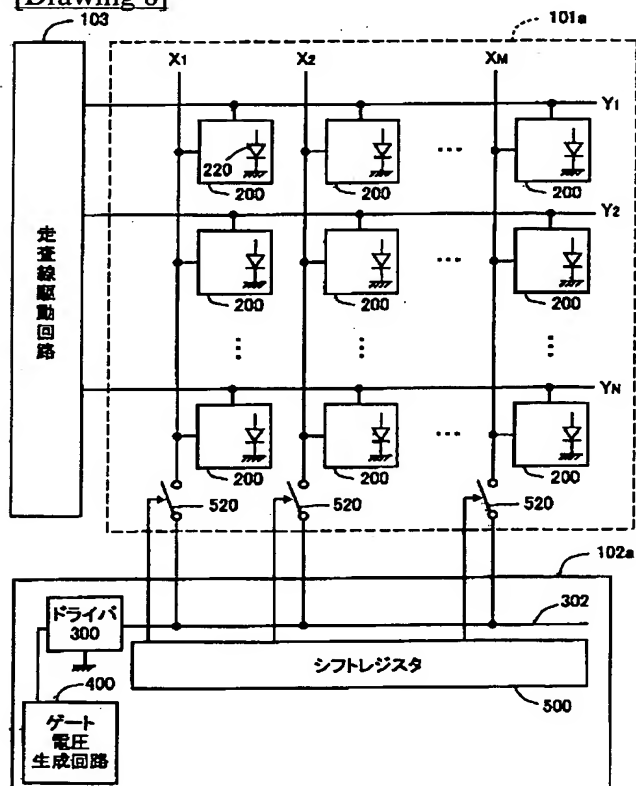
	例1	例2	例3	例4	例5
階調値	標準	VRIN大	VDREF大	Ka大	Kb大
1	520	1040	780	384	920
15	800	1600	1200	580	1200
31	1120	2240	1680	784	1520
63	1760	3520	2640	1232	2160
127	3040	6080	4560	2128	3440
255	5600	11200	8400	3920	6000
グラフ	G1	G2	G3	G4	G5

 (I_{offset})
 $=500$

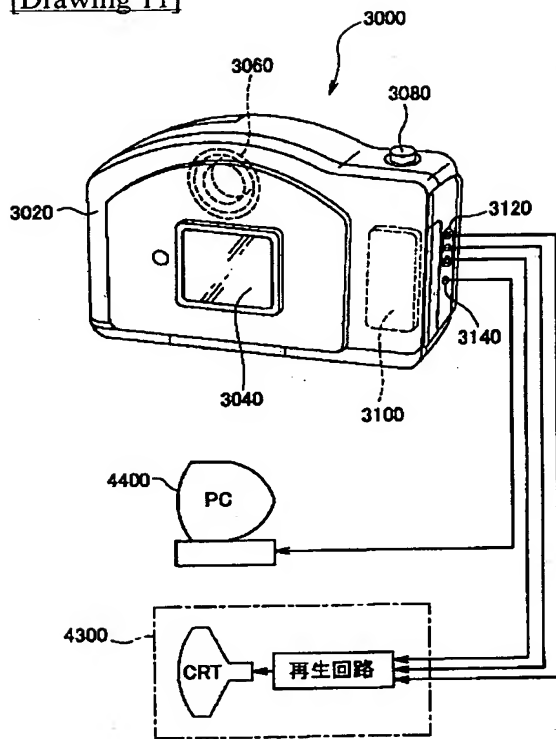
(b)



[Drawing 8]



[Drawing 11]



[Translation done.]